

COMPAÑIA INTERNACIONAL
DE RECREATIVOS, S.A.

PRELIMINAR

MANUAL TECNICO

L U C K Y P L A Y E R

INTRODUCCION

Este manual contiene la información técnica necesaria para la instalación y mantenimiento de la máquina, adjuntándose los esquemas teóricos y prácticos.

Por otra parte encontrará una descripción detallada del sistema automático de test, que le permitirá la localización rápida de cualquier anomalía, así como los sistemas de seguridad.

INDICE

1. CARACTERISTICAS GENERALES

1.1 Sistema de Juego	Pág.
1.2 Control de Ganancias	
1.3 Sistemas Automá. de Seguridad y Test	
1.4 Fallos de Tensión	
1.5 Preselectores	

2. INSTALACION Y MANTENIMIENTO

2.1 Puesta en servicio	
2.2 Mantenimientos periódicos	

3. DESCRIPCION GENERAL

3.1 Situación e identificación de elementos.....	
3.2 Descripción de la fuente de alimentación.....	
3.3 Descrip. del circui.de control del display y panel fron..	
3.4 Descripción del circuito de control general	
3.5 Cableado	

<u>APENDICE A.</u> Puntos de Test	A - 1
<u>APENDICE B.</u> Información circuitos integrados.....	B - 1
<u>APENDICE C.</u> Es.....	C - 1

1. CARACTERISTICAS GENERALES

En este capitulo serán expuestas las características del -modelo "LUCKY PLAYER", describiéndose con detalle en apartados sucesivos todos los módulos y componentes que contiene la máquina.

1.1 SISTEMA DE JUEGO

La máquina dispone de dos entradas de monedas una para piezas de 25 P y otra para piezas de 5 P .

El importe de la jugada es de 5, 10, 15, 20 o 25 P . seleccionable por el jugador. La selección se puede realizar de dos formas:

a) Mediante la introducción del número exacto de monedas, hasta un máximo de 25 P .

b) Mediante la introducción de monedas (hasta un máximo de 25 P .) y seleccionando la apuesta mediante el pulsador "AVANCE".

Las monedas disponibles para una jugada y la apuesta que se realiza quedan reflejadas en los indicadores situados en la parte superior e inferior respectivamente del plan de ganancias.

Se iniciará la jugada al presionar el pulsador denominado - "JUGADA". A partir de este momento comenzarán a evolucionar los displays, mostrando las imágenes que pueden dar lugar al finalizar la jugada a una combinación premiada. Transcurridos unos instantes - comenzarán a efectuar intermitencias los pulsadores STOP; indicando que a partir de ese momento podrán ser detenidas las imágenes que aparecen en el display correspondiente.

En el caso de no utilizar las detenciones el display iniciará el paro de la evolución comenzando por la izquierda hasta la detención total.

Si la combinación coincide con alguna de las expuestas en el - plan de ganancias se procederá al pago del premio correspondiente.

Existe una combinación no reflejada en el plan de ganancias (dos cerezas en los displays centrales) que no provoca premio inmediato pero si produce un avance de BONUS. Cuando se ilumina con intermitencias el último indicador "BONUS 5", la próxima vez que se consigue la combinación de dos cerezas en los displays centrales se efectuará el pago de BONUS. (Cinco veces la apuesta realizada).

La máquina dispone de un sistema adicional de juego llamado - AVANCES, que facilita la obtención de premios, mediante el cambio de las imágenes de los displays presionando el pulsador de STOP - - correspondiente.

El juego AVANCES se produce aleatoriamente en las jugadas sin premio. El número de cambios posibles en los displays vendrá dado por el indicador de AVANCES que se ilumine, al presionar el pulsador AVANCE.

Se dispone de un tiempo limitado para efectuar los cambios de imágenes transcurrido el tiempo, un aviso acústico indicará que se decremente el número de avances disponibles.

Conseguida una combinación ganadora se procederá al pago del premio.

1.2 CONTROL DE GANANCIAS

Para un riguroso control de las monedas que entran en la máquina, y las que salen en concepto de premio, se dispone de cuatro contadores electromecánicos.

E5 - Este contador registrará el número de monedas de 25P. que se introducen.

E1 - Este contador registrará el número de monedas de 5P. que se introducen.

S5 - Este contador registrará el número de monedas de 25P. que salen en concepto de premio.

S1 - Este contador registrará el número de monedas de 5P. que salen en concepto de premio.

A partir de la información de los contadores y manteniendo siempre el mismo nivel de monedas en los tubos contenedores podrá ser calculado el porcentaje real de los premios desde la última recaudación, sin más que aplicar las siguientes formulas:

$$\text{MONEDAS } 25 \text{ PTAS. CAJON} = \text{DIFERENCIA (E5)} - \text{DIFERENCIA (S5)}$$

$$\text{MONEDAS } 5 \text{ PTAS. CAJON} = \text{DIFERENCIA (E1)} - \text{DIFERENCIA (S1)}$$

$$\% \text{ PREMIOS} = \frac{5 \times \text{DIFERENCIA (S5)} + \text{DIFERENCIA (S1)}}{5 \times \text{DIFERENCIA (E5)} + \text{DIFERENCIA (E1)}} \times 100$$

Se entiende por diferencia, la lectura actual menos la lectura anterior de cada contador.

Las ganancias podrán ser ajustadas mediante unos microinterruptores situados en la placa de control, al 65%, 70%, 75%, 80%, 85% y 90%.

Por otra parte y tambien mediante unos microinterruptores, podrán ser seleccionadas cuatro distribuciones de premios distintos.
(Ver apartado 1.5)

1.3 SISTEMAS AUTOMATICOS DE SEGURIDAD Y TEST

La máquina dispone de unos dispositivos automáticos que - permiten, garantizar el perfecto estado de funcionamiento de todos sus componentes, y una protección contra anomalías interiores o contra perturbaciones producidas por agentes ajenos al sistema.

Los dispositivos se dividen en dos grupos, uno propiamente de seguridad y otro, conjunto de tests.

Todos los tests automáticos, al detectar una anomalía, la manifiestan encendiendo la luz de fuera de servicio de una forma fija (problemas detectados en componentes que requieren una intervención de un técnico), y también de una forma intermitente, indicando que el problema no afecta al juego y que subsanada la anomalía se puede continuar, respetando la integridad del juego (estadísticas, partidas, jugadas, etc.).

Junto con la luz de fuera de servicio, se encenderá una combinación de luces de STOP, que darán un código que permite localizar la causa de la anomalía.

1.3.1 Watch Dog

El circuito de control dispone de un sistema temporizador con el objeto de detectar alguna anomalía en el secuenciamiento normal del programa, ya sea debido a una avería permanente del sistema o un fallo esporádico creado por la inducción de ruido en las líneas de alimentación u otras.

Este sistema temporizador fuerza la inicialización de todo el sistema (Reset), en intervalos de tiempo predeterminados, a no ser que el correcto funcionamiento del programa inhiba esta inicialización.

Para comprobar el funcionamiento de este sistema de seguridad se puede observar la señal presente en los pins 6 del circuito C3 o 12 del E3 (ver plano 1 de 9) debiendo estar esta normalmente a cero, con pulsos de poca duración a uno y separados un tiempo inferior a 80 milisegundos. 415
393

1.3.2 Temporización en la entrada de monedas.

Las entradas de monedas disponen de un sistema de seguridad - "anti-pesca", que se activa en caso de sobrepasarse un tiempo máximo (250 msec.) con el micro de entrada cerrado, en cuyo caso no se acepta la supuesta moneda y se da una señal acústica intermitente para señalar la posible anomalía del sistema de entrada de monedas.

1.3.3 Tests automáticos irreversibles.

En la tabla 1.1 se indican los tests que se realizan y en qué condiciones, así como la combinación de luces que señalan el tipo de anomalía.

CODIGO	LUCES STOP				ANOMALIA
	STOP IZQ.	STOP IZQ-C	STOP DER-C	STOP DER.	
0	0	0	0	0	Fallo de la ROM A, o bien el programa no evoluciona correctamente
1	0	0	0	1	Fallo de la ROM A inicial
2	0	0	1	0	Fallo de la ROM B inicial
3	0	0	1	1	Fallo de la ROM C inicial
4	0	1	0	0	Fallo del circuito 8155
5	0	1	0	1	Fallo de la ROM A dinámico
6	0	1	1	0	Fallo de la ROM B dinámico
7	0	1	1	1	Fallo de la ROM C dinámico
8	1	0	0	0	Fallo de la RAM inicial
9	1	0	0	1	Fallo de la RAM A inicial
10	1	0	1	0	Fallo de la RAM B inicial
11	1	0	1	1	Fallo de la RAM A y B inicial
12	1	1	0	0	Fallo de la RAM dinámico
13	1	1	0	1	Error en el control de premios
14	1	1	1	0	Cambio de configuración
15	1	1	1	1	Fallo en el port de microinterruptores Fallo en el circuito 8155

1 = ENCENDIDO 0 = APAGADO

TABLA 1.1

El fuera de servicio por alguna de estas anomalías se eliminará si no es permanente apagando y encendiendo la máquina. Si el fallo persiste indica que debe ser efectuada una reparación.

En ambos casos, al encender la máquina se efectuará un arranque en frío, realizándose una inicialización de todo el sistema (RESET).

1.3.4 Tests Automaticos reversibles

Este conjunto de tests, nos indica una posible anomalía en el sistema de pago de premios; manifestándose por la intermitencia de la luz FUERA DE SERVICIO, y un código de luces STOP. (Ver tabla 1.2)

Subsanada la anomalía, la máquina podrá continuar el funcionamiento normal, sin más que efectuar un puente entre las dos zonas que para tal efecto se hallan situadas en el extremo superior izquierdo de la placa de control.

FUERA DE SERVICIO INTERMITENTE

LUCES STOP				ANOMALIA
STOP IZQ.	STOP IZQ.-C	STOP DER.-C	STOP DER.	
1	Ø	Ø	Ø	Descargador de 25P vacío. (Han Transcurrido 15 seg. sin salir monedas)
Ø	1	Ø	Ø	El micro de salida de 25P, ha estado activado más de 500 mseg.
Ø	Ø	1	Ø	Descargador de 5P vacío. (Han transcurrido 15seg.sin salir monedas)
Ø	Ø	Ø	1	El micro de salida de 5P ha estado ACTIVADO mas de 500 mseg.

1 = ENCENDIDO

Ø = APAGADO

Tabla 1.2

1.3.5 Tests semiautomáticos

Este conjunto de tests, permite la comprobación de lámparas, bobinas de bloqueo, contadores, descargadores y pulsadores.

Para activar cualquiera de los tests se deben colocar en la posición adecuada los microinterruptores 6 y 7 (Ver apartado 1.5) y a continuación desconectar y conectar la máquina.

Para la puesta en servicio colocar los microinterruptores en la posición de juego y, a continuación desconectar y conectar la máquina.

(Después de realizado cualquier test, la máquina efectuará un arranque en frío.)

1.4 FALLOS DE TENSION

La máquina dispone de un sistema de detección de fallos de tensión, lo cual permite la memorización del estado en la memoria CMOS alimentado por batería.

Al volver a conectar la red, se comprueba la validez de los datos en la memoria y, en caso positivo, se recupera el estado del sistema, volviéndose por tanto al punto, dentro o fuera de una - partida, que fue interrumpido por el fallo de tensión.

En caso de no poderse recuperar el estado, por estar la máquina en Fuera de Servicio, o haberse modificado la configuración, el sistema se reinicializa de nuevo.

Para forzar el arranque con inicialización a partir de cero se deberá establecer un puente de forma análoga al caso de Fuera de Servicio por falta de monedas.

En cualquiera de las formas de arranque, la máquina permanece en Fuera de Servicio aproximadamente 5 segundos para permitir la estabilización de las alimentaciones e iluminación. Si el arranque es con inicialización, se activa una señal acústica intermitente como indicador.

Si la batería está correctamente cargada, la información se mantiene durante un tiempo prácticamente indefinido.

E 1.5 PRESELECTORES

La máquina dispone de 8 microinterruptores de dos posiciones (ON, OFF), numerados del 1 al 8, a fin de poder configurar la distribución de premios y opciones.

Los porcentajes de devolución en premios, vienen determinados por la posición de los microinterruptores 1,2 y 3 según tabla adjunta:

1	2	3	DEVOLUCION
ON	ON	ON	80%
OFF	ON	ON	75%
ON	OFF	ON	70%
OFF	OFF	ON	65%
ON	ON	OFF	85%
OFF	ON	OFF	90%

Se remarca el hecho de que al disponer del dispositivo de recuperación de fallos de tensión, estos porcentajes en términos estadísticos, se mantienen independientemente de los premios entregados, siempre que no se produzca un Fuera de Servicio irreversible o un cambio de configuración.

La distribución de premios, está determinada por la posición de los microinterruptores 4 y 5, de la siguiente forma:

4	5	OPCION
ON	ON	2.5001 Premio CIRSA por ciclo, JACKPOT 1 5.000
OFF	ON	2.5002 Premios CIRSA por ciclo, JACKPOT 1 5.000
ON	OFF	1 Premio CIRSA por ciclo, JACKPOT 2 10.000
OFF	OFF	2 Premios CIRSA por ciclo, JACKPOT 2 10.000

El número de premios, se refiere a la probabilidad, estadística a lo largo de un ciclo.

Por otra parte, se dispone de dos microinterruptores para la activación de los tests semiautomáticos, (Ver apartado 1.3.5) según tabla adjunta:

8 ON OFF	7 Anul Spt	6	7	TESTS	1	2	3	Test Melodias
		ON	ON	Juego Normal	OFF	OFF	OFF	→ Test
		OFF	ON	Luces				
		ON	OFF	Bobinas				
		OFF	OFF	Pulsadores				

El test de luces permite la verificación del funcionamiento de todas las lámparas de señalización. Presionando y soltando el pulsador AVANCE, se encenderán consecutivamente todas las lámparas.

El test de bobinas permite por una parte, la comprobación de las bobinas de bloqueo de los monederos de 25R y 5R, utilizando los pulsadores AVANCE Y JUGADA respectivamente, y por otra, utilizando los pulsadores STOP, se podrán comprobar los contadores, los cuales - efectuarán una cuenta por cada pulsación realizada en el pulsador de STOP correspondiente.

El test de pulsadores permite la comprobación del funcionamiento de los microinterruptores de los pulsadores AVANCE, STOPs y JUGADA, así como de las correspondientes lámparas. Al activar dicho test, las lámparas de los pulsadores efectuarán intermitencias, cesando al presionar el pulsador correspondiente y activándose al presionarlo de nuevo.

Después de la activación de cualquiera de los Tests citados, se producirá un arranque en frío, por lo cual, aconsejamos realizar los tests, solamente en casos realmente necesarios, para no afectar al control estadístico.

2. INSTALACION Y MANTENIMIENTO

En este capitulo se describen las operaciones a realizar en la instalación y puesta en servicio de la máquina, así como las revisiones periodicas de mantenimiento que deben ser realizadas.

2.1 PUESTA EN SERVICIO

Para una correcta puesta en funcionamiento, deberán realizarse las siguientes operaciones:

2.1.1 Instalar la máquina en el lugar previsto para su trabajo, teniendo en cuenta las siguientes condiciones ambientales:

- a) La luz solar no debe incidir directamente sobre la máquina (Para evitar decoloraciones de la serigrafia y sobrecalentamientos).
- b) Debe estar lo más alejada posible de focos de calor (Para garantizar una larga vida en los circuitos integrados)
- c) Debe existir una buena ventilación.
- d) No colocarla en lugares donde pueda estar sometida a vibraciones o golpes fuertes. (Para evitar un desgaste en los zócalos y conectores, así como permitir una larga vida en las lamparitas).

2.1.2 Antes de conectar la máquina a la red, abrir las puertas posterior y delantera para comprobar visualmente una correcta fijación de los componentes conectores y cables. (Golpes muy fuertes en el transporte podrían provocar una mala conexión eléctrica o el desprendimiento de algún componente).

2.1.3 Comprobar que el selector de tensión que está en la posición adecuada, según la tensión de red existente en el local. Si no es así colóquelo en la posición correcta.

Utilizar una toma de red con tierra y comprobar con un voltímetro que la tensión es la misma que la seleccionada por Usted en la entrada del transformador.

Las máquinas salen de fábrica preparadas para operar con una tensión de red de 220 voltios.

2.1.4 Comprobar el fusible general situado en la caja trasera así como los fusibles colocados en la fuente de alimentación. (Ver apartado 3.2)

2.1.5 Colocar los microinterruptores en la posición deseada de acuerdo con el porcentaje de premios y distribución elegida (Ver apartado 1.6)

2.1.6 Introducir monedas en los descargadores rotativos hasta el nivel marcado por el rebosadero.

2.1.7 Cerrar las puertas y conectar la máquina a la red, accionando a continuación el interruptor situado en la parte posterior.

Recuerde que para efectuar cualquier manipulación, deberá desconectar siempre la máquina de la red.

2.2 MANTENIMIENTOS PERIODICOS

Con objeto de aumentar el rendimiento y la vida de las máquinas, se recomienda realizar periódicamente los siguientes ajustes y comprobaciones:

OPERACION	FRECUENCIA
Ajuste y comprobación de lámparas	Mensual
Ajuste de los circuitos integrados en sus zócalos.	Trimestral
Limpieza y ajuste de conectores	Trimestral
Limpieza de monederos	Mensual
Limpieza y ajuste de descargadores	Mensual
Ajuste de tornillos de los elementos mecánicos....	Trimestral

3. DESCRIPCION GENERAL

3.1 SITUACION E IDENTIFICACION DE ELEMENTOS

En las siguientes figuras, se pueden observar marcados con un número los distintos elementos que componen la máquina.

3.2 DESCRIPCION DE LA FUENTE DE ALIMENTACION

La fuente de alimentación esta situada sobre el cuadro, - general, permitiendo un fácil acceso, para su reparación o comprobación.

El transformador tiene un primario preparado para trabajar a 110V, 125V, 150V, 200V, 220V, 250V, seleccionable mediante un cambiador de tensión, y tres secundarios independientes de 10V, 14V, y 24V, que proporcionarán las tensiones de trabajo de los distintos elementos (ver esquemas 5 y 6 en el Apéndice C).

Las salidas del transformador van hacia la placa de alimentación que dispone de un dissipador de aluminio anodizado negro para una mejor evacuación del calor.

En la placa de alimentación se encuentran situados dos puentes rectificadores de 8 Amperios, uno para obtener la tensión de alimentación de las lamparitas de los pulsadores y display, y el otro - que proporciona una tensión de 10V rectificado en doble onda, que se filtra mediante el condensador de 10.000 F y constituye la entrada al regulador de tensión integrado LM323, para obtener a su salida una tensión regulada y estabilizada de 5V, para la alimentación de todos los circuitos de la placa de control y display.

El diodo y condensador a la salida del regulador son para protección y para evitar oscilaciones del alta de frecuencia.

3.3 DESCRIPCION DEL CIRCUITO DE CONTROL DEL DISPLAY Y PANEL FRONTAL

La placa del display (ver esquemas 3 y 4 del Apéndice C) dispone de una etapa de recepción de los datos procedentes de la placa de control (Filtrado). La recepción se realiza en serie para disminuir el número de cables necesarios para la iluminación de las distintas figuras y luces del panel. El control se realiza mediante las señales DATDIS (Dato que permite el encendido o apagado de las figuras y luces seleccionadas), CKDIS (Señal de reloj que permitirá el desplazamiento de los datos a través de los cuatro registros de desplazamiento - 74LS323 (299) correspondientes al display), CLKUC (señal de reloj que permitirá el desplazamiento de datos a través de los cuatro restantes registros de desplazamiento correspondientes a las luces del panel frontal), y la señal OEDIS que permite el encendido o - apagado de todo el display y panel.

La etapa de potencia está diseñada con ocho circuitos integrados ULN 2003, que dan potencia a la señal procedente de los registros de desplazamiento para encender las lamparitas seleccionadas.

3.4 DESCRIPCION DEL CIRCUITO DE CONTROL GENERAL

3.4.1 Microprocesador

El circuito de control está organizado alrededor del microprocesador 8085A (C6). Este dispone de oscilador interno, precisando sólo del cristal de cuarzo en este caso de 6.144 MHZ. Debido a la multiplexión del bus en datos y direcciones se precisa del latch 8212 (C5) para obtener el bus de direcciones de forma estable y poderlo conectar con memorias y periféricos de tipo standard.

La decodificación del bus de direcciones y la obtención de las señales de selección del resto de circuitos se realiza por medio de una ROM bipolar 74S188 (D7).

3.4.2 Memoria

La memoria de programa está formada por 2 circuitos 2732 (E5, E6) con una capacidad total de 8 Kbytes. La placa permite la utilización de memorias de mayor capacidad, lo cual da una mayor flexibilidad al sistema, a la vez que posibilita futuras ampliaciones.

La memoria de datos es de 256 bytes, formado por 2 5101L - 1 (E5, E4) de tecnología CMOS de bajo consumo a fin de posibilitar su alimentación por medio de baterías.

Se dispone de memoria RAM adicional, 256 bytes, en el circuito 8155 (D4).

3.4.3. Salidas

Las salidas digitales parten del C.I.8155 (D4), el cual dispone de 3 ports programables, en este caso como salidas. De dos de ellas (A y B) parten las líneas de gobierno de indicadores, - bloqueo de monederos y contadores, después de pasar por los drivers ULN2003 (A4, B4). La salida de gobierno de motor se realiza por medio de un interruptor estático de alterna (Triac TRC 1). El resto de salidas se utilizan de forma interna directamente (reset de watch dog y sonidos) o externamente (Gobierno del display e impresora opcional).

3.4.4. Entradas

Las señales de entrada de monedas van directamente al microprocesador por medio de dos líneas independientes de interrupción. El resto de entradas (pulsadores, micros de falta y salida de monedas) se conectan al C. I. AY-3-8910 (D2). Este circuito dispone - además de la parte de sonido, de dos ports programables de 8 bits,

el segundo de los cuales se utiliza para la lectura de la configuración formada por los microinterruptores.

Todas las entradas disponen del filtro pasabajos (R-C) previo.

3.4.5. Sonido

Las músicas y efectos especiales se producen a partir del C.I. AY-3-8910 (D2), especializado en la generación de sonido. Dispone de 3 osciladores controlables, cuyas salidas se suman, - después de ser filtradas, y atacan al amplificador del audio - LM380 (A2) el cual proporciona la señal que se envía al altavoz. La sincronización precisa pone la conexión directa al bus del 8085 se realiza por medio de 2 biestables (CI 74LS74, D3) y un multiplexor dual de 4 a 1 (D.I. 74LS153,D3).

3.4.6. Alimentación

Todos los circuitos de la placa de control se alimentan a 5 voltios, a excepción del amplificador de audio que se alimenta a 10 V.

La memoria RAM CMOS, así como el C.I. 4001 (E3) formado por 4 puertas NOR se alimenta a partir de 5 voltios si existe la alimentación correspondiente, lo cual además carga la batería, o a la tensión suministrada por ésta en caso de fallar la alimentación principal. En la placa existen los condensadores de desacople precisos para asegurar un buen filtrado de la alimentación en todos sus puntos.

3.4.7 Circuitos de Control

Existen otros subsistemas utilizados para funciones de temporización y control adicionales.

Estas funciones son las de generación del reloj a partir de la tensión de red (12 V no filtrados), detección del fallo de tensión (comparador LM 311, E2), control del mismo (4001,E3 y filtraje), y circuito de watch dog (contador 74LS393, C3).

3.5 CABLEADO

En los planos 7,8 y 9 del Apéndice C, se encuentran los esquemas del cableado completo de la máquina.

El cableado se realiza mediante cuatro mangueras independientes, la primera es la de alimentación de red para iluminación y ventilador, la segunda para conexión de alimentación y transformador, la tercera conecta la placa de display con el panel frontal y la última de alimentación y señales de control, partiendo de la placa de control hacia todos los elementos electromecánicos y display.

En la parte superior e inferior del esquema 9 se representa el conector de la placa de control desdoblado en dos partes de 22 vias cada una correspondientes al lado de componentes y al lado de soldaduras. (ver tabla 3.1.)

A la derecha se encuentra la conexión a la placa de display y a la izquierda la conexión a la fuente de alimentación.

Cada una de las líneas representa un cable, indicando sobre él, el color y la sección. Ejemplo MA/1 indica que el cable es de color marrón y de 1 mm² de sección.

PIN	SEÑAL	DESCRIPCION
1	LRCT	LUZ RETENCION CENTRO IZQDA
2	LRD	LUZ RETENCION DERECHA
3	LJ	LUZ JUGADA
4	CE1	CONTADOR E1
5	BL5	BLOQUEO MONEDERO 5
6	CS1	CONTADOR S1
7	BL1	BLOQUEO MONEDERO 1
8	CE5	CONTADOR E5
9	CS5	CONTADOR S5
10	+12 VACR	12V RECTIFICADOS DOBLE ONDA
11	MOTOR 5	MOTOR 5
12	GND 12V	MASA DE 12V
13	GND 12V	MASA DE 12V
14	+10V	+10V
15	AUDIO	SALIDA AUDIO
16	PSCD	PULSADOR "STOP" CENTRO DRCHO
17	PSI	PULSADOR "STOP" IZQUIERDO
18	PJ	PULSADOR JUGADA
19	MS5	MICRO S5
20	+5V	+5V REGULADOS
21	+5V DIS	+5V DISPLAY
22	GND 5V	MASA DE 5V
LADO COMPONENTES	A	LRI
	B	LRCD
	C	LA
	D	NC
	E	LFS
	F	OE
	H	CKDIS
	J	DATOS
	K	CLKLUC
	L	+12 VACR
	M	MOTOR 1
	N	GND 24V
	P	ME 5
	R	ME 1
	S	AUD.GND
	T	PSD
	U	PSCI
	V	PA
	W	MS1
	X	+5V
	Y	GND 5DIS
	Z	GND 5V
LADO SOLDADURAS	A	LUZ RETENCION IZQ.
	B	LUZ RETENCTON CENTRO DRCHA
	C	LUZ APUESTA
	D	NO CONECTADO
	E	LUZ FUERA DE SERVICIO
	F	INHIBICION DISPLAY Y LUCES
	H	CLOCK DISPLAY
	J	DATOS DISPLAY Y LUCES
	K	CLOCK LUCES
	L	12V RECTIFICADOS DOBLE ONDA
	M	MOTOR 1
	N	MASA DE 24V
	P	MICRO E5
	R	MICRO E1
	S	AUDIO GND
	T	PULSADOR "STOP" DERECHO
	U	PULSADOR "STOP" CENTRO IZQ.
	V	PULSADOR APUESTA
	W	MICRO S1
	X	+5V REGULADOS
	Y	MASA DE 5V DISPLAY
	Z	MASA DE 5V

TABLA 3.1. CONECTOR PLACA CONTROL

APENDICE A.

PUNTOS DE TEST

La máquina dispone de varios puntos que se considera interesante verificar en primer lugar en caso de avería, ya sea por sus niveles o temporizaciones críticas para el resto del sistema.

Estos puntos de test (ver plano 1) y su función son los que se indican en la tabla adjunta.

TEST	FUNCION	SEÑAL SIN FALLO
P0	Referencia fallo de tensión	3.0 - 0.1 Vdc
P1	Monitorización alimentación	3.7 - 0.2 Vdc
P2	Alimentación permanente RAM	4.8 - 0.2 Vdc / 3.6 - 0.6 Vdc con red / sin red
P3	Tensión batería	3.6 - 0.6 Vdc
P4	Aviso fallo de tensión.	0 (< 0.8 Vdc)
P5	Salida del oscilador	Oscilación cuadrada a 3.072 MHZ.
P6	Reloj del sistema	Oscilación cuadrada a 100 HZ
P7	Inicialización (reset) del sistema	1 (> 2.4 Vdc)
P8	Petición de espera al microprocesador	1 (con pulsos de 300 ns a 0)

APENDICE B

Se adjunta en páginas sucesivas las características de los circuitos integrados que componen la máquina.

La información se estima suficiente para el mantenimiento, no obstante, si desea más información sobre dichos componentes puede obtenerla de:

- Intel MCS-86 User's Manual**
- Texas Instruments TTL Data Book**
- General Instruments Series 89 Data Book**
- National Semiconductor Linears Data Book**

8085A/8085A-2

Symbol	Function
X ₁	1 VCC
X ₂	2 HOLD
RESET OUT	3 HLDA
S00	4 CLK (OUT)
SID	5 RESET IN
TRAP	6 READY
HST 7.5	7 IO/M
HST 6.5	8 S ₁
HST 5.5	9 RD
INTR	10 8085A 31 WR
INTA	11 30 ALE
AD ₀	12 29 S ₀
AD ₁	13 28 A ₁₅
AD ₂	14 27 A ₁₄
AD ₃	15 26 A ₁₃
AD ₄	16 25 A ₁₂
AD ₅	17 24 A ₁₁
AD ₆	18 23 A ₁₀
AD ₇	19 22 A ₉
VSS	20 21 A ₈

Figure 2. 8085A Pinout Diagram

8085A FUNCTIONAL PIN DEFINITION

The following describes the function of each pin:

Symbol	Function	READY (Input)	HOLD (Input)	HLDA (Output)	INTR (Input)
A ₈ -A ₁₅ (Output, 3-state)	Address Bus: The most significant 8 bits of the memory address or the 8 bits of the I/O address. 3-stated during Hold and Halt modes and during RESET.				If READY is high during a read or write cycle, it indicates that the memory or peripheral is ready to send or receive data. If READY is low, the CPU will wait an integral number of clock cycles for READY to go high before completing the read or write cycle.
AD ₀ -7 (Input/Output, 3-state)	Multiplexed Address/Data Bus: Lower 8 bits of the memory address (or I/O address) appear on the bus during the first clock cycle (T state) of a machine cycle. It then becomes the data bus during the second and third clock cycles.				HOLD indicates that another master is requesting the use of the address and data buses. The CPU, upon receiving the hold request, will relinquish the use of the bus as soon as the completion of the current bus transfer. Internal processing can continue. The processor can regain the bus only after the HOLD is removed. When the HOLD is acknowledged, the Address, Data, RD, WR, and IO/M lines are 3-stated.
ALE (Output)	Address Latch Enable: It occurs during the first clock state of a machine cycle and enables the address to get latched into the on-chip latch of peripherals. The falling edge of ALE is set to guarantee setup and hold times for the address information. The falling edge of ALE can also be used to strobe the status information. ALE is never 3-stated.				HOLD ACKNOWLEDGE: Indicates that the CPU has received the HOLD request and that it will relinquish the bus in the next clock cycle. HLDA goes low after the Hold request is removed. The CPU takes the bus one half clock cycle after HLDA goes low.
S ₀ , S ₁ , and IO/M (Output)	Machine cycle status: IO/M S₁ S₀ Status				INTERRUPT REQUEST: is used as a general purpose interrupt. It is sampled only during the next to the last clock cycle of an instruction and during Hold and Halt states. If it is active, the Program Counter (PC) will be inhibited from incrementing and an INTA will be issued. During this cycle a RESTART or CALL instruction can be inserted to jump to the interrupt service routine. The INTR is enabled and disabled by software. It is disabled by Reset and immediately after an interrupt is accepted.
	0 0 1 Memory write 0 1 0 Memory read 1 0 1 I/O write 1 1 0 I/O read 0 1 1 Opcode fetch 1 1 1 Interrupt Acknowledge • 0 0 Halt • X X Hold • X X Reset • = 3-state (high impedance) X = unspecified				

8085A/8085A-2

8085A FUNCTIONAL PIN DESCRIPTION (Continued)

<u>Symbol</u>	<u>Function</u>	<u>Symbol</u>	<u>Function</u>
INTA (Output)	INTERRUPT ACKNOWLEDGE: Is used instead of (and has the same timing as) RD during the instruction cycle after an INTR is accepted. It can be used to activate the 8259 interrupt chip or some other interrupt port.		Schmitt-triggered input, allowing connection to an R-C network for power-on RESET delay. The CPU is held in the reset condition as long as RESET IN is applied.
RST 5.5 RST 6.5 RST 7.5 (Inputs)	RESTART INTERRUPTS: These three inputs have the same timing as INTR except they cause an internal RESTART to be automatically inserted. The priority of these interrupts is ordered as shown in Table 1. These interrupts have a higher priority than INTR. In addition, they may be individually masked out using the SIM instruction.	RESET OUT (Output)	Indicates CPU is being reset. Can be used as a system reset. The signal is synchronized to the processor clock and lasts an integral number of clock periods.
TRAP (Input)	Trap interrupt is a nonmaskable RESTART interrupt. It is recognized at the same time as INTR or RST 5.5-7.5. It is unaffected by any mask or Interrupt Enable. It has the highest priority of any interrupt. (See Table 1.)	X₁, X₂ (Input)	X ₁ and X ₂ are connected to a crystal, LC, or RC network to drive the internal clock generator. X ₁ can also be an external clock input from a logic gate. The input frequency is divided by 2 to give the processor's internal operating frequency.
RESET IN (Input)	Sets the Program Counter to zero and resets the Interrupt Enable and HLDA flip-flops. The data and address buses and the control lines are 3-stated during RESET and because of the asynchronous nature of RESET, the processor's internal registers and flags may be altered by RESET with unpredictable results. RESET IN is a	CLK (Output)	Clock Output for use as a system clock. The period of CLK is twice the X ₁ , X ₂ input period.
		SID (Input)	Serial input data line. The data on this line is loaded into accumulator bit 7 whenever a RIM instruction is executed.
		SOD (Output)	Serial output data line. The output SOD is set or reset as specified by the SIM instruction.
		VCC	+5 volt supply.
		VSS	Ground Reference.

TABLE 1. INTERRUPT PRIORITY, RESTART ADDRESS, AND SENSITIVITY

Name	Priority	Address Branched To (1) When Interrupt Occurs	Type Trigger
TRAP	1	24H	Rising edge AND high level until sampled.
RST 7.5	2	3CH	Rising edge (latched).
RST 6.5	3	34H	High level until sampled.
RST 5.5	4	2CH	High level until sampled.
INTR	5	See Note (2).	High level until sampled.

NOTES:

- (1) The processor pushes the PC on the stack before branching to the indicated address.
- (2) The address branched to depends on the instruction provided to the CPU when the interrupt is acknowledged.

intel

8155/8156/8155-2/8156-2 2048 BIT STATIC MOS RAM WITH I/O PORTS AND TIMER

8085A	8085A-2	Compatible CPU	Chip Enable
8155	8155-2		ACTIVE LOW
8156	8156-2		ACTIVE HIGH

- 256 Word x 8 Bits
- Single +5V Power Supply
- Completely Static Operation
- Internal Address Latch
- 2 Programmable 8 Bit I/O Ports
- 1 Programmable 6-Bit I/O Port
- Programmable 14-Bit Binary Counter/Timer
- Multiplexed Address and Data Bus
- 40 Pin DIP

The 8155 and 8156 are RAM and I/O chips to be used in the MCS-85™ microcomputer system. The RAM portion is designed with 2048 static cells organized as 256 x 8. They have a maximum access time of 400 ns to permit use with no wait states in 8085A CPU. The 8155-2 and 8156-2 have maximum access times of 330 ns for use with the 8085A-2.

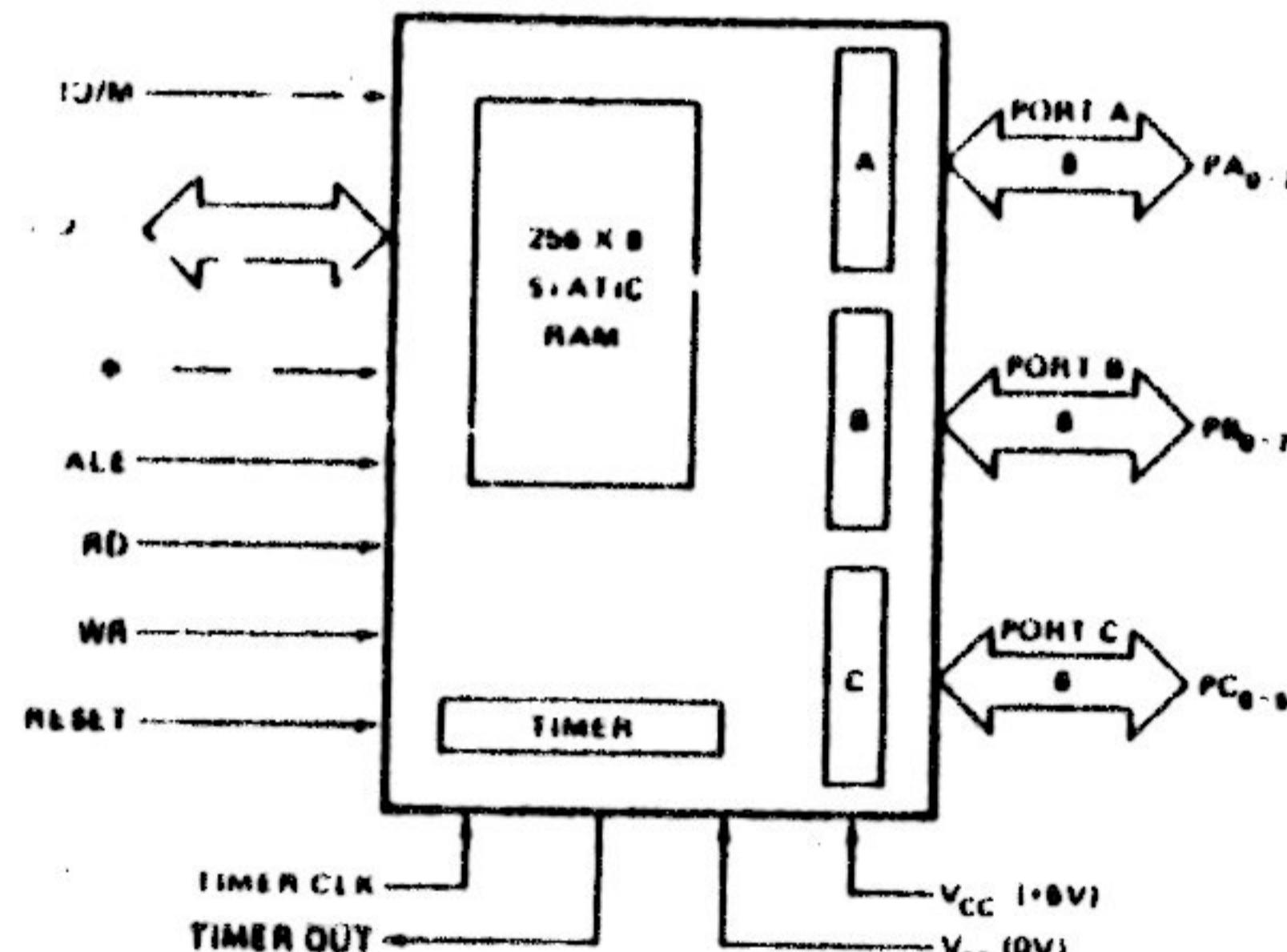
The I/O portion consists of three general purpose I/O ports. One of the three ports can be programmed to be status pins, thus allowing the other two ports to operate in handshake mode.

A 14-bit programmable counter/timer is also included on chip to provide either a square wave or terminal count pulse for the CPU system depending on timer mode.

PIN CONFIGURATION

PC ₃	1	40	V _{CC}
PC ₂	2	39	PC ₂
TIMER IN	3	38	PC ₁
RESET	4	37	PC ₀
PC ₅	5	36	PA ₇
TIMER OUT	6	35	PA ₆
IO/M	7	34	PA ₅
CE OR CE*	8	33	PA ₄
AD	9	32	PA ₃
WR	10	8155/8156	PA ₂
ALE	11	8155-2/8156-2	PA ₁
AD ₀	12	29	PA ₀
AD ₁	13	28	PA ₇
AD ₂	14	27	PA ₆
AD ₃	15	26	PA ₅
AD ₄	16	25	PA ₄
AD ₅	17	24	PA ₃
AD ₆	18	23	PA ₂
AD ₇	19	22	PA ₁
V _{SS}	20	21	PA ₀

BLOCK DIAGRAM



* 8155/8156-2 = CE, 8155/8156-2 = CE

8155/8156/8155-2/8156-2

8155/8156 PIN FUNCTIONS

Symbol	Function	Symbol	Function
RESET (input)	Pulse provided by the 8085A to initialize the system (connect to 8085A RESET OUT). Input high on this line resets the chip and initializes the three I/O ports to input mode. The width of RESET pulse should typically be two 8085A clock cycle times.	ALE (input)	Address Latch Enable. This control signal latches both the address on the AD ₀₋₇ lines and the state of the Chip Enable and IO/M into the chip at the falling edge of ALE.
AD₀₋₇ (input)	3-state Address/Data lines that interface with the CPU lower 8-bit Address/Data Bus. The 8-bit address is latched into the address latch inside the 8155/56 on the falling edge of ALE. The address can be either for the memory section or the I/O section depending on the IO/M input. The 8-bit data is either written into the chip or read from the chip, depending on the WR or RD input signal.	IO/M (input)	Selects memory if low and I/O and command/status registers if high.
CE or CE (input)	Chip Enable: On the 8155, this pin is CE and is ACTIVE LOW. On the 8156, this pin is CE and is ACTIVE HIGH.	PA₀₋₇(8) (input/output)	These 8 pins are general purpose I/O pins. The in/out direction is selected by programming the command register.
RD (input)	Read control: Input low on this line with the Chip Enable active enables and AD ₀₋₇ buffers. If IO/M pin is low, the RAM content will be read out to the AD bus. Otherwise the content of the selected I/O port or command/status registers will be read AD bus.	PB₀₋₇(8) (input/output)	These 8 pins are general purpose I/O pins. The in/out direction is selected by programming the command register.
WR (input)	Write control: Input low on this line with the Chip Enable active enables the data on the Address/Data bus to be written to the RAM or I/O, command/status register depending on IO/M.	PC₀₋₅(6) (input/output)	These 6 pins can function as either input port, output port, or as control signals for PA and PB. Programming is done through the command register. When PC ₀₋₅ are used as control signals, they will provide the following: PC ₀ — A INTR (Port A Interrupt) PC ₁ — ABF (Port A Buffer Full) PC ₂ — A STB (Port A Strobe) PC ₃ — B INTR (Port B Interrupt) PC ₄ — BBF (Port B Buffer Full) PC ₅ — B STB (Port B Strobe)
		TIMEI (input)	Input to the counter-timer
		TIMEH (output)	Timer output. This output can be either a square wave or a pulse depending on the timer mode.
		Vcc	+5 volt supply.
		Vss	Ground Reference.

intel

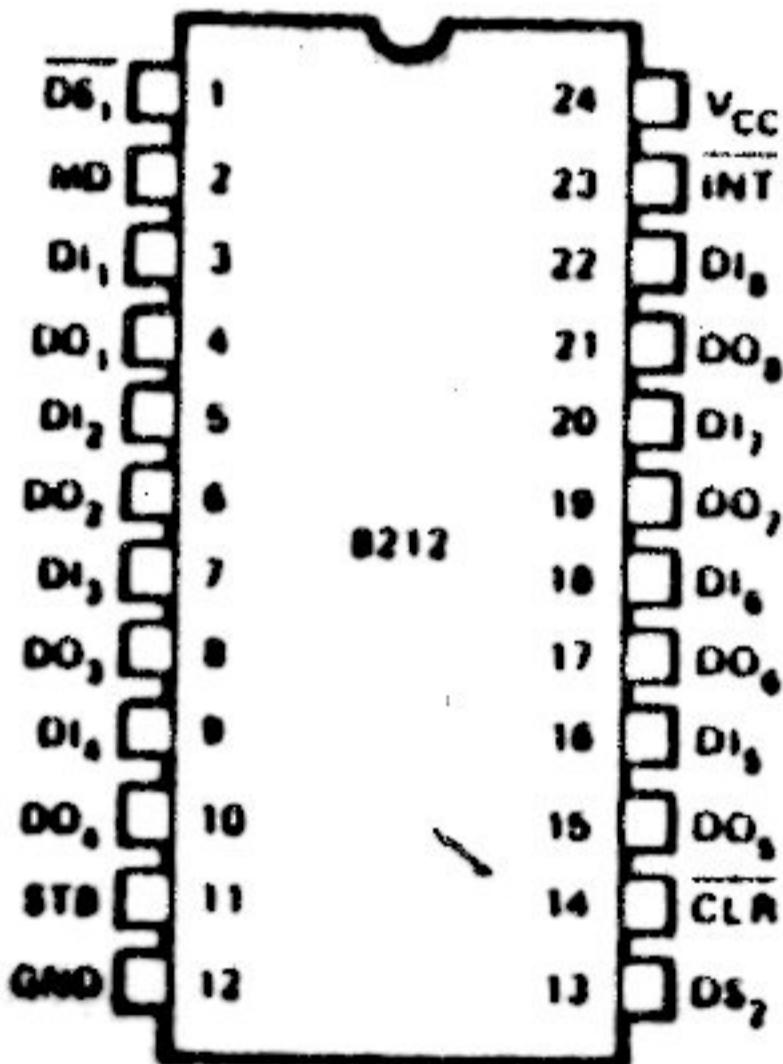
8212 8-BIT INPUT/OUTPUT PORT

- Fully Parallel 8-Bit Data Register and Buffer
- Service Request Flip-Flop for Interrupt Generation
- Low Input Load Current — .25mA Max.
- Three State Outputs
- Outputs Sink 15mA
- 3.65V Output High Voltage for Direct Interface to 8008, 8080A, or 8085A CPU
- Asynchronous Register Clear
- Replaces Buffers, Latches and Multiplexers In Microcomputer Systems
- Reduces System Package Count

The 8212 input/output port consists of an 8-bit latch with 3-state output buffers along with control and device selection logic. Also included is a service request flip-flop for the generation and control of interrupts to the microprocessor.

The device is multimode in nature. It can be used to implement latches, gated buffers or multiplexers. Thus, all of the principal peripheral and input/output functions of a microcomputer system can be implemented with this device.

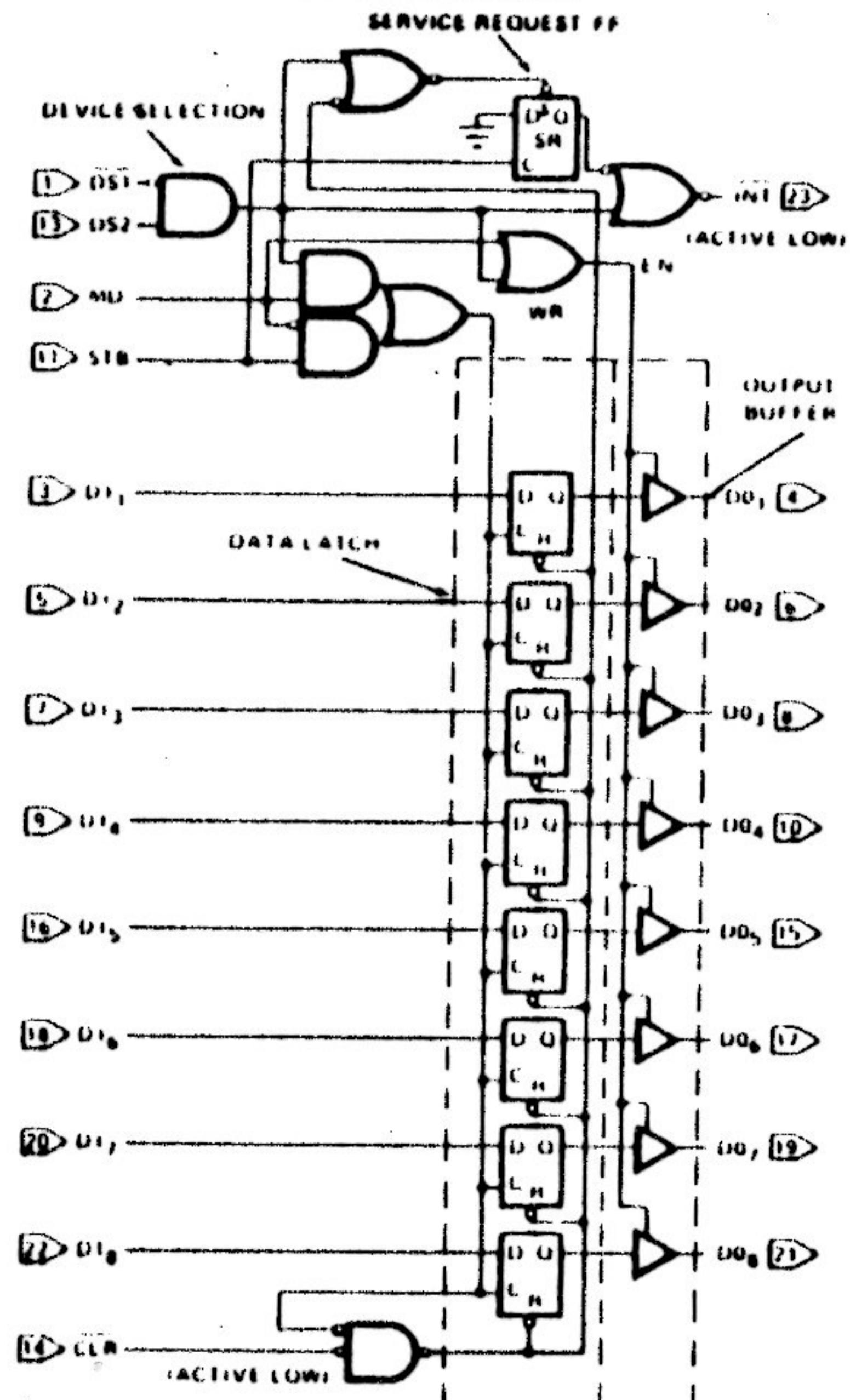
PIN CONFIGURATION



PIN NAMES

D ₆ , D ₅	DATA IN
D _{O₈} , D _{O₇}	DATA OUT
D _{S₁} , D _{S₀}	DEVICE SELECT
MD	MODE
STB	STROBE
INT	INTERRUPT (ACTIVE LOW)
CLR	CLEAR (ACTIVE LOW)

LOGIC DIAGRAM





2716*

16K (2K x 8) UV ERASABLE PROM

- Fast Access Time
 - 350 ns Max. 2716-1
 - 390 ns Max. 2716-2
 - 450 ns Max. 2716
- Single +5V Power Supply
- Low Power Dissipation
 - 525 mW Max. Active Power
 - 132 mW Max. Standby Power

■ Pin Compatible to Intel® 5V ROMs
(2316E, 2332, and 2364) and 2732
EPROM

■ Simple Programming Requirements
Single Location Programming
Programs with One 50 ms Pulse

■ Inputs and Outputs TTL Compatible
during Read and Program

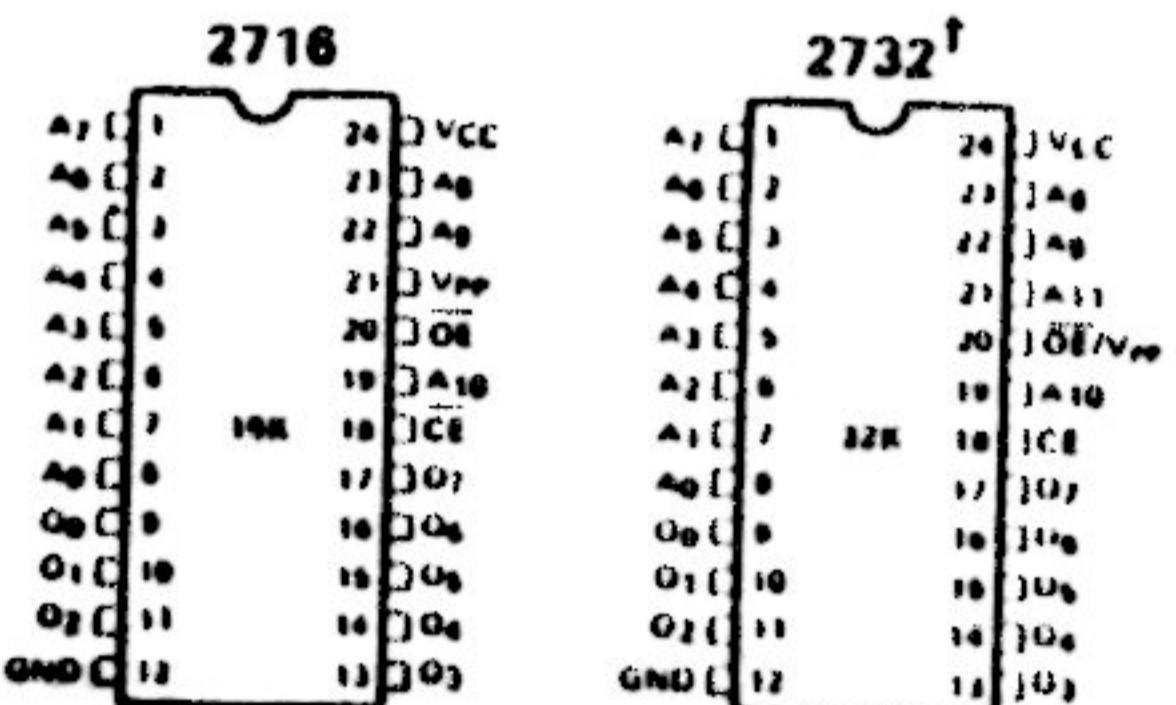
■ Completely Static

The Intel® 2716 is a 16,384-bit ultraviolet erasable and electrically programmable read-only memory (EPROM). The 2716 operates from a single 5-volt power supply, has a static standby mode, and features fast single address location programming. It makes designing with EPROMs faster, easier and more economical. For production quantities, the 2716 user can convert rapidly to Intel's pin-for-pin compatible 16K ROM (the 2316E) or the new 32K and 64K ROMs (the 2332 and 2364 respectively).

The 2716, with its single 5-volt supply and with an access time up to 350 ns, is ideal for use with the newer high performance +5V microprocessors such as Intel's 8085 and 8086. The 2716 is also the first EPROM with a static standby mode which reduces the power dissipation without increasing access time. The maximum active power dissipation is 525 mW while the maximum standby power dissipation is only 132 mW, a 75% savings.

The 2716 has the simplest and fastest method yet devised for programming EPROMs — single pulse TTL level programming. No need for high voltage pulsing because all programming controls are handled by TTL signals. Now, it is possible to program on-board, in the system, in the field. Program any location at any time — either individually, sequentially or at random, with the 2716's single address location programming. Total programming time for all 16,384 bits is only 100 seconds.

PIN CONFIGURATION*



*Refer to 2732
data sheet for
specifications

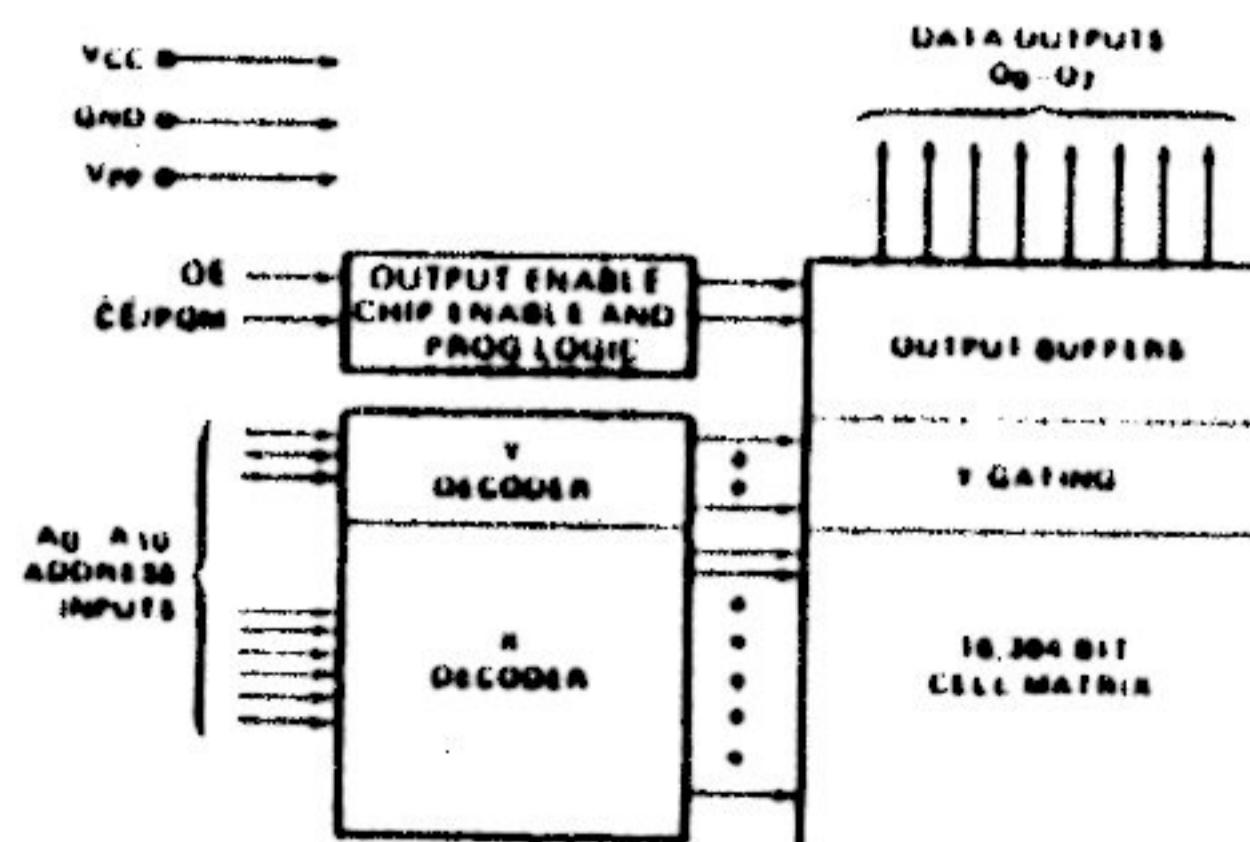
PIN NAMES

A ₀ -A ₇	ADDRESSES
CE/PGM	CHIP ENABLE/PROGRAM
OE	OUTPUT ENABLE
Q ₀ -Q ₇	OUTPUTS

MODE SELECTION

MODE	PIN#	CE/PGM		OE	V _{PP}	V _{CC}	OUTPUTS
		V _{IL}	V _{IH}				
Read	—	V _{IL}	V _{IL}	—	—	—	D _{OUT}
Standby	—	V _{IL}	V _{IL}	Don't Care	—	—	High Z
Program	—	Pulsed V _{IL} to V _{IH}	V _{IL}	—	—	—	—
Program Verify	—	V _{IL}	V _{IL}	—	—	—	D _{IN}
Program Inhibit	—	V _{IL}	V _{IL}	—	—	—	D _{OUT}
		V _{IL}	V _{IL}	—	—	—	High Z

BLOCK DIAGRAM



*Pin 18 and pin 20 have been renamed to conform with the entire family of 16K, 32K, and 64K EPROMs and ROMs. The die, fabrication process, and specifications remain the same and are totally unaffected by this change.



5101 FAMILY 256 X 4 BIT STATIC CMOS RAM

P/N	Typ. Current @ 2V (μ A)	Typ. Current @ 5V (μ A)	Max Access (ns)
5101L	0.14	0.2	650
5101L-1	0.14	0.2	450
5101L-3	0.70	1.0	650
5101-B	—	10.0	800

- Single +5V Power Supply
- Ideal for Battery Operation (5101L)

- Directly TTL Compatible:
All Inputs and Outputs
- Three-State Output

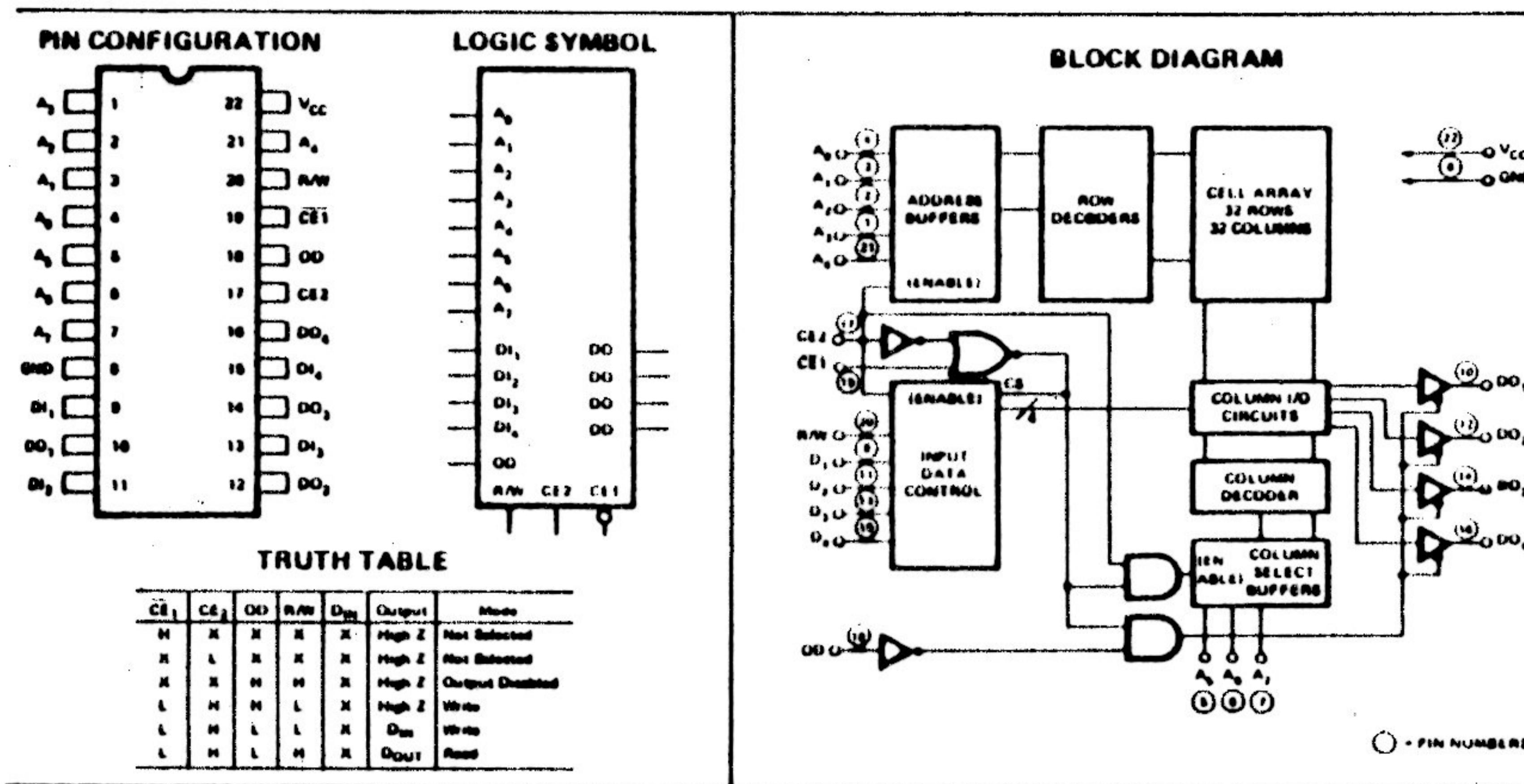
The Intel® 5101 is an ultra-low power 1024-bit (256 words X 4 bits) static RAM fabricated with an advanced ion-implanted silicon gate CMOS technology. The device has two chip enable inputs. Minimum standby current is drawn by this device when CE2 is at a low level. When deselected the 5101 draws from the single 5-volt supply only 10 microamps. This device is ideally suited for low power applications where battery operation or battery backup for non-volatility are required.

The 5101 uses fully DC stable (static) circuitry; it is not necessary to pulse chip select for each address transition. The data is read out non-destructively and has the same polarity as the input data. All inputs and outputs are directly TTL compatible. The 5101 has separate data input and data output terminals. An output disable function is provided so that the data inputs and outputs may be wire OR-ed for use in common data I/O systems.

The 5101L has the additional feature of guaranteed data retention at a power supply voltage as low as 2.0 volts.

A pin compatible N-channel static RAM, the Intel® 2101A, is also available for low cost applications where a 256 X 4 organization is needed.

The Intel ion-implanted, silicon gate, Complementary MOS (CMOS) process allows the design and production of ultra-low power, high performance memories.



CD4000B, CD4001B, CD4002B, CD4025B Types

COS/MOS NOR Gates

High-Voltage Types (20-Volt Rating)

Dual 3 Input

plus Inverter — CD4000B

Quad 2 Input — CD4001B

Dual 4 Input — CD4002B

Triple 3 Input — CD4025B

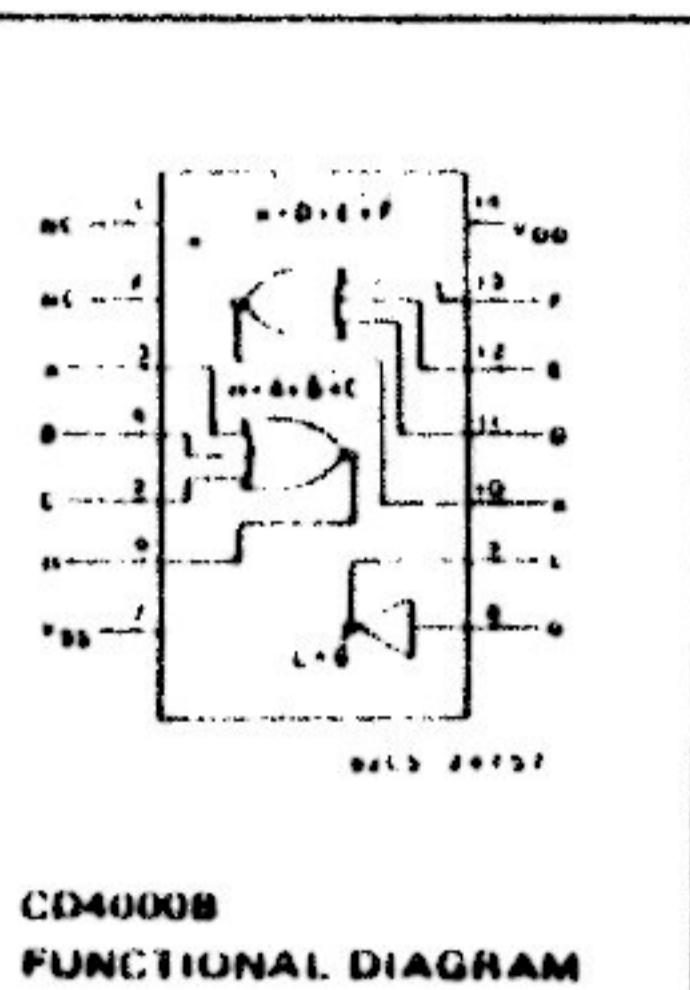
RCA CD4000B, CD4001B, CD4002B, and CD4025B NOR gates provide the system designer with direct implementation of the NOR function and supplement the existing family of COS/MOS gates. All inputs and outputs are buffered.

The CD4000B, CD4001B, CD4002B, and CD4025B types are supplied in 14-lead hermetic dual-in-line ceramic packages (D and F suffixes), 14-lead dual-in-line plastic packages (E suffix), and in chip form (H suffix).

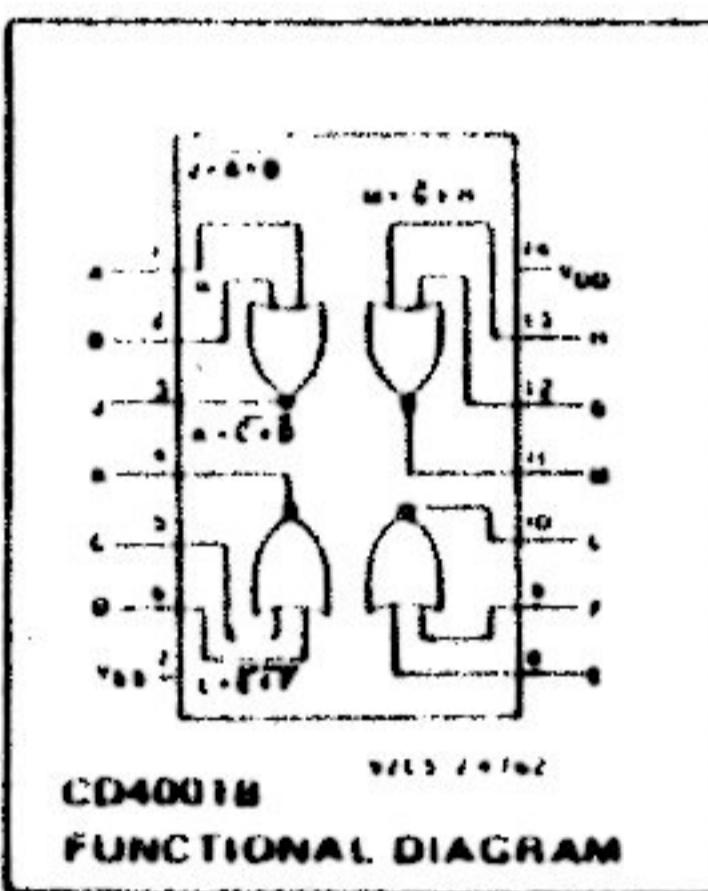
Features:

- Propagation delay time = 60 ns (typ.) at $C_L = 50 \text{ pF}$, $V_{DD} = 10 \text{ V}$
- Buffered inputs and outputs
- Standardized symmetrical output characteristics
- 100% tested for maximum quiescent current at 20 V
- 5-V, 10-V, and 15-V parametric ratings
- Maximum input current of $1 \mu\text{A}$ at 18 V
(full package temperature range);
 $< 0.1 \mu\text{A}$ at 18 V and 26°C
- Noise margin (over full package temperature range):
 - 1 V at $V_{DD} = 5 \text{ V}$
 - 2 V at $V_{DD} = 10 \text{ V}$
 - 2.6 V at $V_{DD} = 15 \text{ V}$

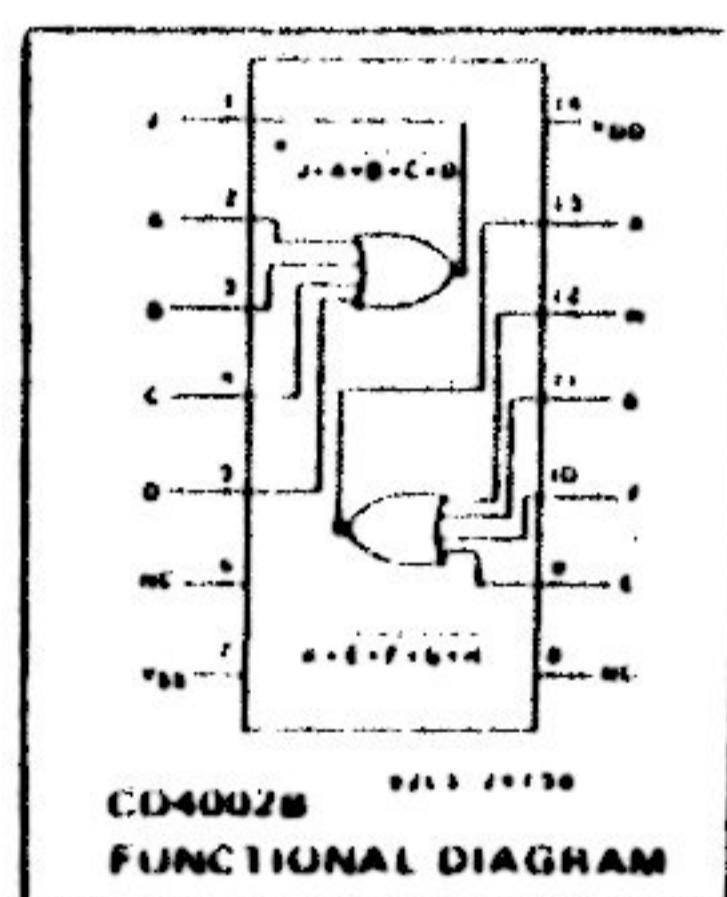
- Meets all requirements of JEDEC Tentative Standard No.13A, "Standard Specifications for Description of "B" Series CMOS Devices"



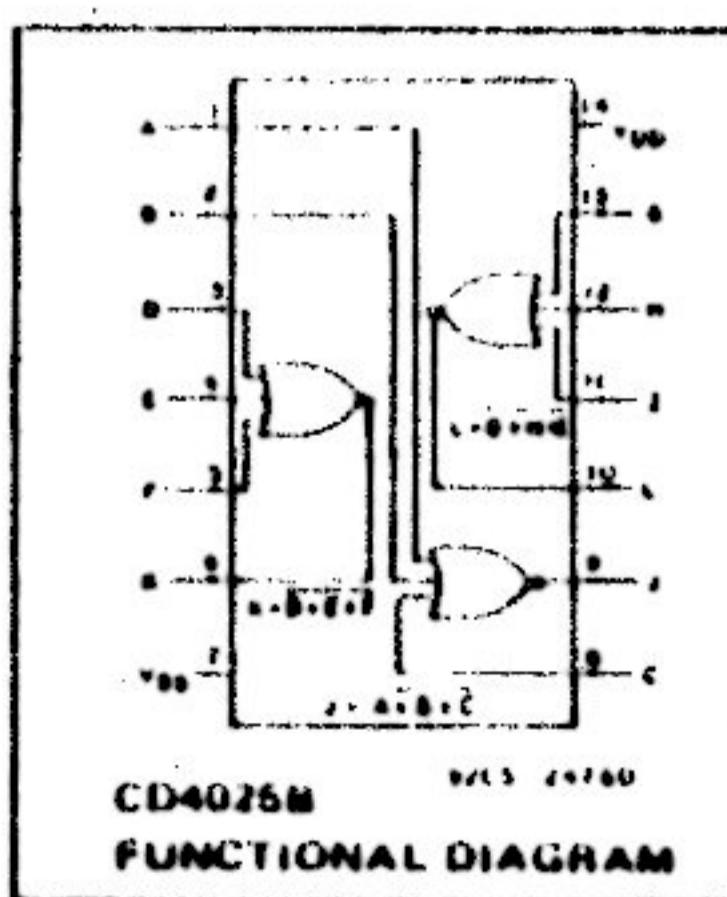
CD4000B
FUNCTIONAL DIAGRAM



CD4001B
FUNCTIONAL DIAGRAM



CD4002B
FUNCTIONAL DIAGRAM



CD4025B
FUNCTIONAL DIAGRAM

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES ($^\circ\text{C}$)						UNITS	
				Values at $-55, +25, +125$ Apply to D, F, H Packages			$+25$				
	V_O (V)	V_{IN} (V)	V_{DD} (V)	-55	-40	+85	+125	Min.	Typ.	Max.	
Quiescent Device Current, ID _Q Max.	0.6	5	0.25	0.25	7.5	7.5	—	0.01	0.25	—	μA
	0.10	10	0.5	0.5	15	15	—	0.01	0.5	—	
	0.15	15	1	1	30	30	—	0.01	1	—	
	0.20	20	5	5	150	150	—	0.02	5	—	
Output Low (Sink) Current, I _{OL} Min.	0.4	0.5	5	0.64	0.61	0.42	0.36	0.51	1	—	mA
	0.5	0.10	10	1.6	1.5	1.1	0.9	1.3	2.6	—	
	1.5	0.15	15	4.2	4	2.8	2.4	3.4	6.8	—	
Output High (Source) Current, I _{OH} Min.	4.6	0.5	5	-0.64	0.61	0.42	0.16	0.51	1	—	mA
	2.5	0.5	5	2	1.8	1.3	1.15	1.6	3.2	—	
	9.5	0.10	10	-1.6	1.5	1.1	0.9	1.1	2.6	—	
	13.5	0.15	15	-4.2	4	2.8	2.4	3.4	6.8	—	
Output Voltage Low Level, V _{OL} Max.	—	0.5	5	—	0.05	—	—	0	0.05	—	V
	—	0.10	10	—	0.05	—	—	0	0.05	—	
	—	0.15	15	—	0.05	—	—	0	0.05	—	
Output Voltage High Level, V _{OH} Min.	—	0.5	5	4.96	—	4.96	5	—	—	—	V
	—	0.10	10	9.96	—	9.96	10	—	—	—	
	—	0.15	15	14.95	—	14.95	15	—	—	—	
Input Low Voltage, V _{IL} Max.	0.5, 4.5	—	5	—	1.5	—	—	—	1.5	—	V
	—	1.9	—	10	—	—	—	—	3	—	
	—	1.6, 13.5	—	15	—	—	—	—	4	—	
Input High Voltage, V _{IH} Min.	0.5	—	5	—	3.6	—	3.5	—	—	—	V
	—	1	—	10	—	—	1	—	—	—	
	—	1.5	—	15	—	—	11	—	—	—	
Input Current I _{IN} Max.	—	0.18	18	±0.1	±0.1	±1	±1	—	$> 10^{-5}$	±0.1	μA

LINEAR INTEGRATED CIRCUITS

TYPES LM111, LM211, LM311 DIFFERENTIAL COMPARATORS WITH STROBES

BULLETIN NO. DLS 11797, SEPTEMBER 1973—REVISED OCTOBER 1979

- Fast Response Times
- Strobe Capability
- Designed to be Interchangeable with National Semiconductor LM111, LM211, and LM311

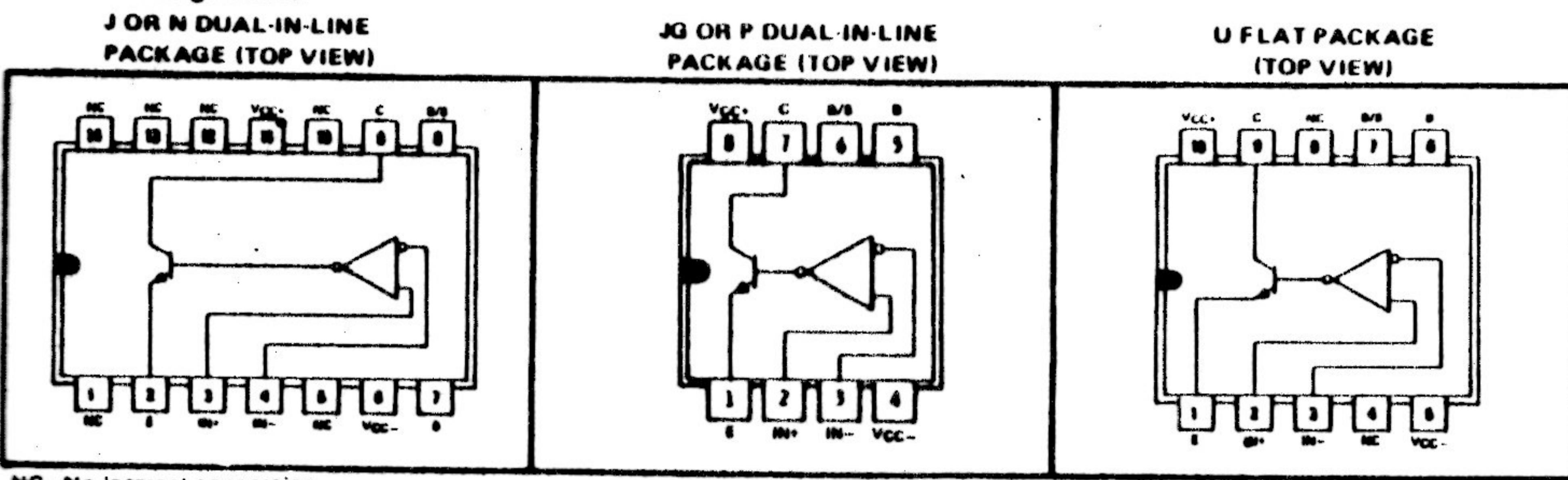
- Maximum Input Bias Current . . . 300 nA
- Maximum Input Offset Current . . . 70 nA
- Can Operate From Single 5-V Supply

description

The LM111, LM211, and LM311 are single high-speed voltage comparators. These devices are designed to operate from a wide range of power supply voltage, including ±16-volt supplies for operational amplifiers and 5-volt supplies for logic systems. The output levels are compatible with most DTL, TTL, and MOS circuits. These comparators are capable of driving lamps or relays and switching voltages up to 50 volts at 50 milliamperes. All inputs and outputs can be isolated from system ground. The outputs can drive loads referenced to ground, V_{CC+}, or V_{CC-}. Offset balancing and strobe capability are available and the outputs can be wire-OR connected. If the strobe input is low, the output will be in the off state regardless of the differential input. Although slower than the TL506 and TL514, these devices are not as sensitive to spurious oscillations.

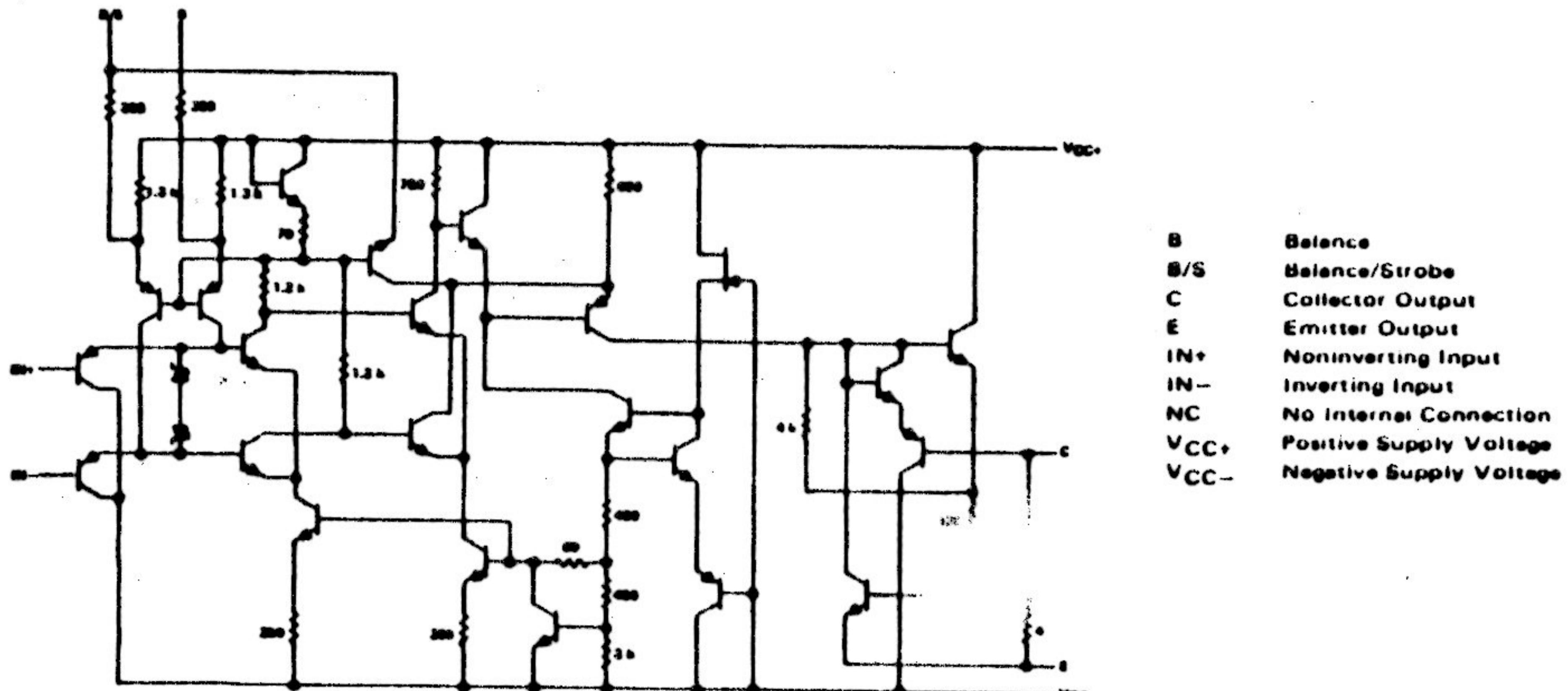
The LM111 is characterized for operation over the full military temperature range of -55°C to 125°C, the LM211 is characterized for operation from -25°C to 86°C, and the LM311 is characterized for operation from 0°C to 70°C.

terminal assignments



NC—No internal connection

schematic



Resistor values shown are nominal and in ohms.

TEXAS INSTRUMENTS



Voltage Regulators

LM123/LM223/LM323 3 amp - 5 volt positive regulator general description

These three-terminal positive regulators have a preset 5V output and a load driving capability of 3 amps. New circuit design and processing techniques are used to provide the high output current without sacrificing the regulation characteristics of lower current devices.

The 3 amp regulator is virtually blowout proof. Current limiting, power limiting, and thermal shutdown provide the same high level of reliability obtained with these techniques in the LM100 1 amp regulator.

No external components are required for operation of the LM123. If the device is more than 4 inches from the filter capacitor, however, a $1\mu F$ solid tantalum capacitor should be used on the input. A $0.1\mu F$ or larger capacitor may be used on the output to reduce load transient spikes created by fast switching digital logic, or to swamp out stray load capacitance.

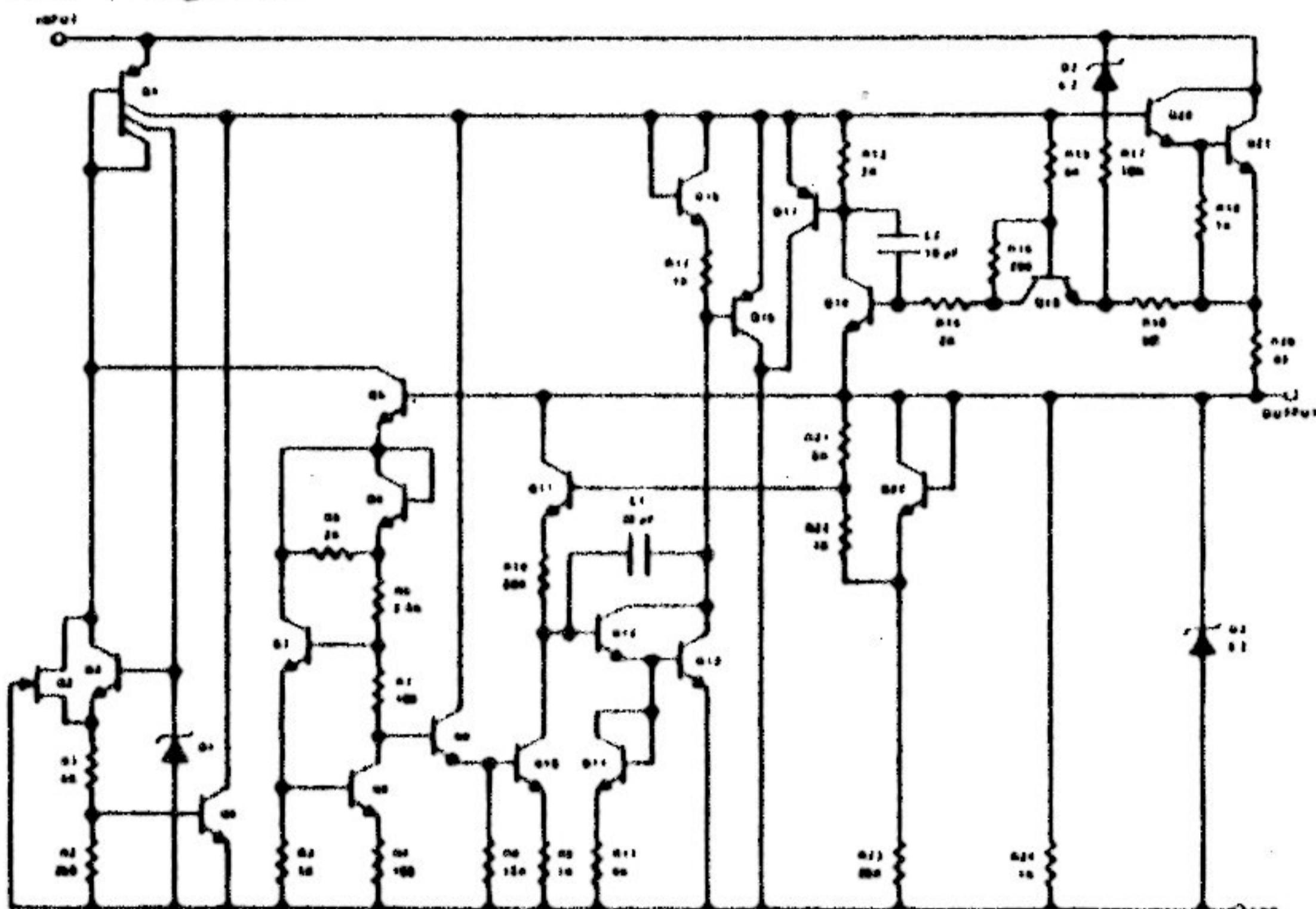
An overall worst case specification for the combined effects of input voltage, load currents, ambient temperature, and power dissipation ensure that the LM123 will perform satisfactorily as a system element.

Operation is guaranteed over the junction temperature range -65°C to $+160^{\circ}\text{C}$. An electrically identical LM223 operates from -25°C to $+150^{\circ}\text{C}$ and the LM323 is specified from 0°C to $+125^{\circ}\text{C}$ junction temperature. A hermetic TO-3 package is used for high reliability and low thermal resistance.

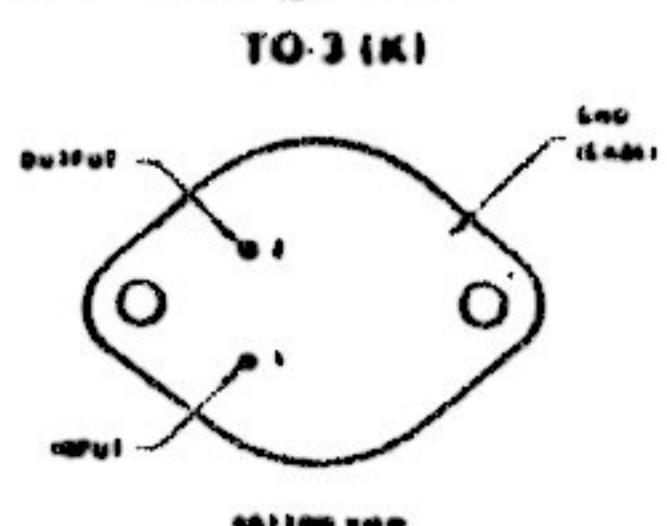
features

- 3 amp output current
 - Internal current and thermal limiting
 - 0.011Ω typical output impedance
 - 7.6 minimum input voltage
 - 30W power dissipation

schematic diagram

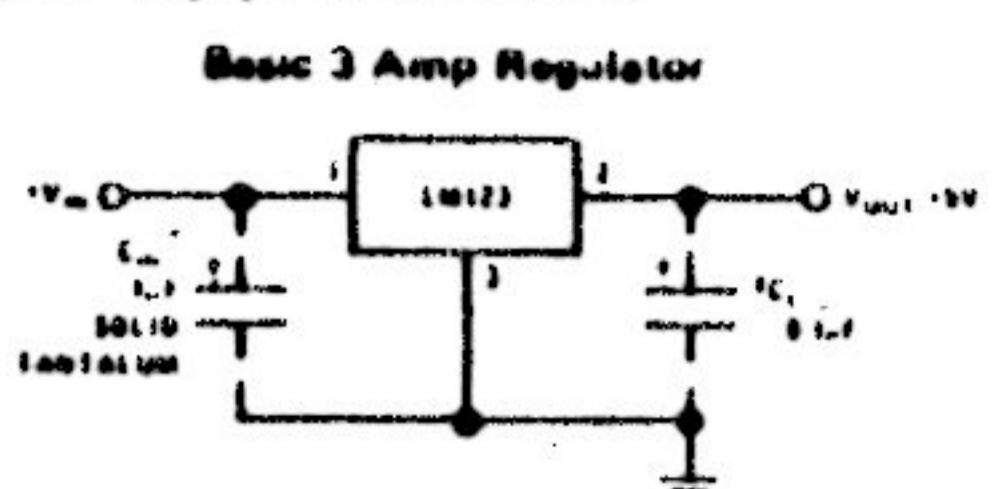


connection diagram



**Order Number LM123K,
LM223K or LM323K**

typical applications



Required A **WILL** is more than a **trust** since separates
Properties in right with no **Joint** separates into **separate**
Assets.

4.5 LM380 AUDIO POWER AMPLIFIER

4.5.1 Introduction

Most of the mono power amplifiers listed in Table 4.3.3 derive from the LM380 design; therefore, a detailed discussion of the internal circuitry will be presented as a basis for understanding each of the devices. Subsequent sections will describe only the variations on the LM380 design responsible for each unique part.

The LM380 is a power audio amplifier intended for consumer applications. It features an internally fixed gain of 50 (34dB) and an output which automatically centers itself at one half of the supply voltage. A unique input stage allows inputs to be ground referenced or AC coupled as required. The output stage of the LM380 is protected with both short circuit current limiting and thermal shutdown circuitry. All of these internally provided features result in a minimum external parts count integrated circuit for audio applications.

4.5.2 Circuit Description

Figure 4.5.1 shows a simplified circuit schematic of the LM380. The input stage is a PNP emitter-follower driving a PNP differential pair with a slave current-source load. The PNP input is chosen to reference the input to ground, thus enabling the input transducer to be directly coupled.

The second stage is a common emitter voltage gain amplifier with a current-source load. Internal compensation is provided by the pole-splitting capacitor C. Pole-splitting compensation is used to preserve wide power bandwidth (100kHz at 2W, 8Ω). The output is a quasi complementary pair emitter-follower.

The output is biased to half the supply voltage by resistor ratio R_2/R_1 . Simplifying Figure 4.5.1 still further to show the DC biasing of the output stage results in Figure 4.5.2, where resistors R_1 and R_2 are labeled R. Since the transistor operates with effectively zero volts base to collector, the circuit acts as a DC amplifier with a gain of one half (i.e., $A_V = R/(R + R)$) and an input of V^+ , therefore, the output equals $V^+/2$.

The amplifier AC gain is internally fixed to 34dB (or 50V/V). Figure 4.5.3 shows this to be accomplished by the internal feedback network R_2/R_3 . The gain is twice that of the ratio R_2/R_3 due to the slave current source (Q_5, Q_6) which provides the full differential gain of the input stage.

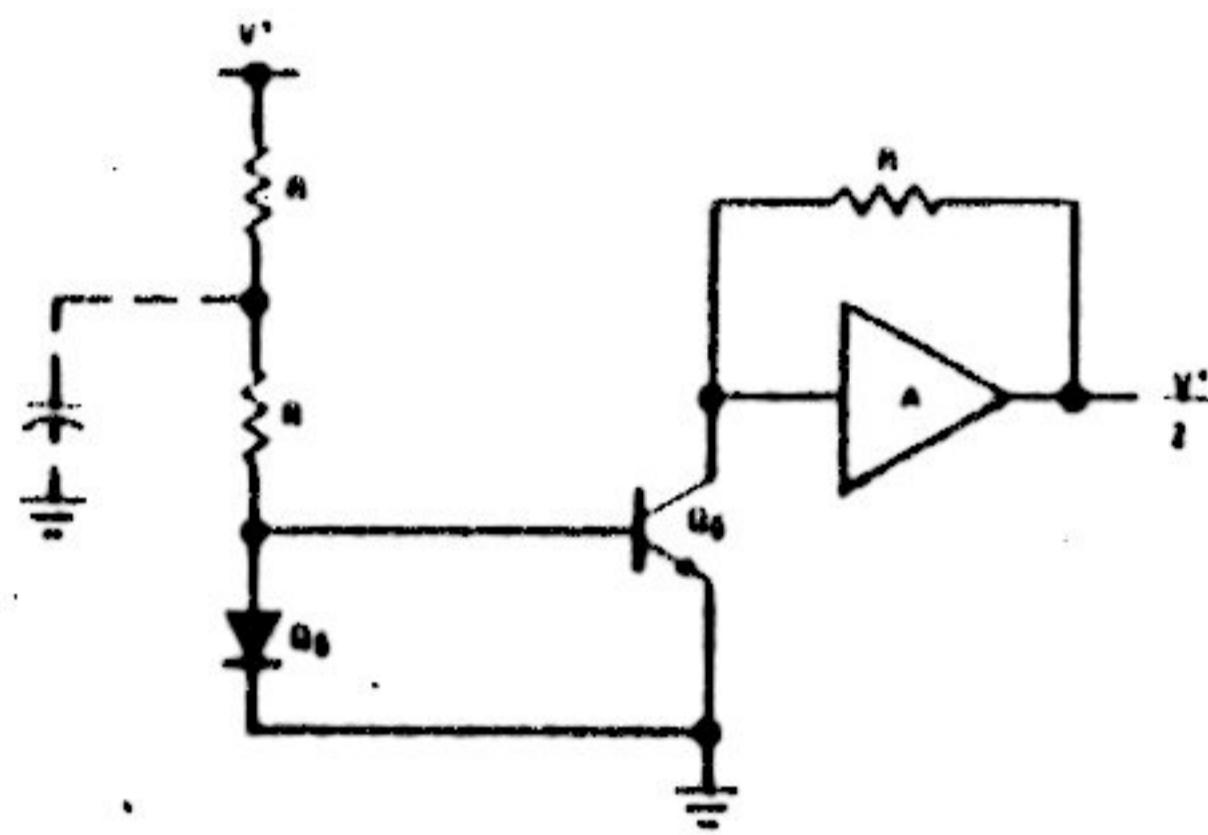


FIGURE 4.5.2 LM380 DC Equivalent Circuit

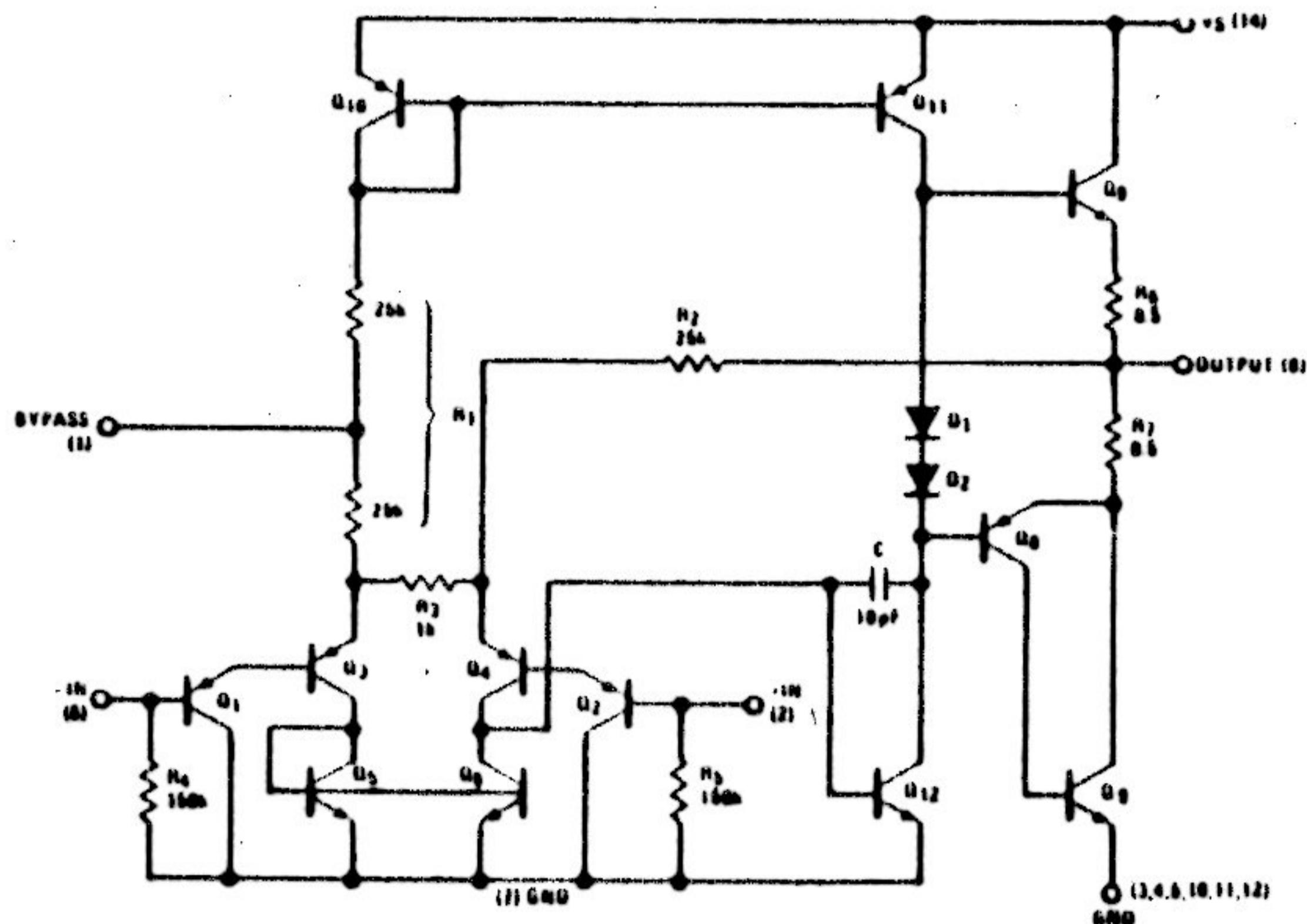


FIGURE 4.5.1 LM380 Simplified Schematic

INTERFACE CIRCUITS

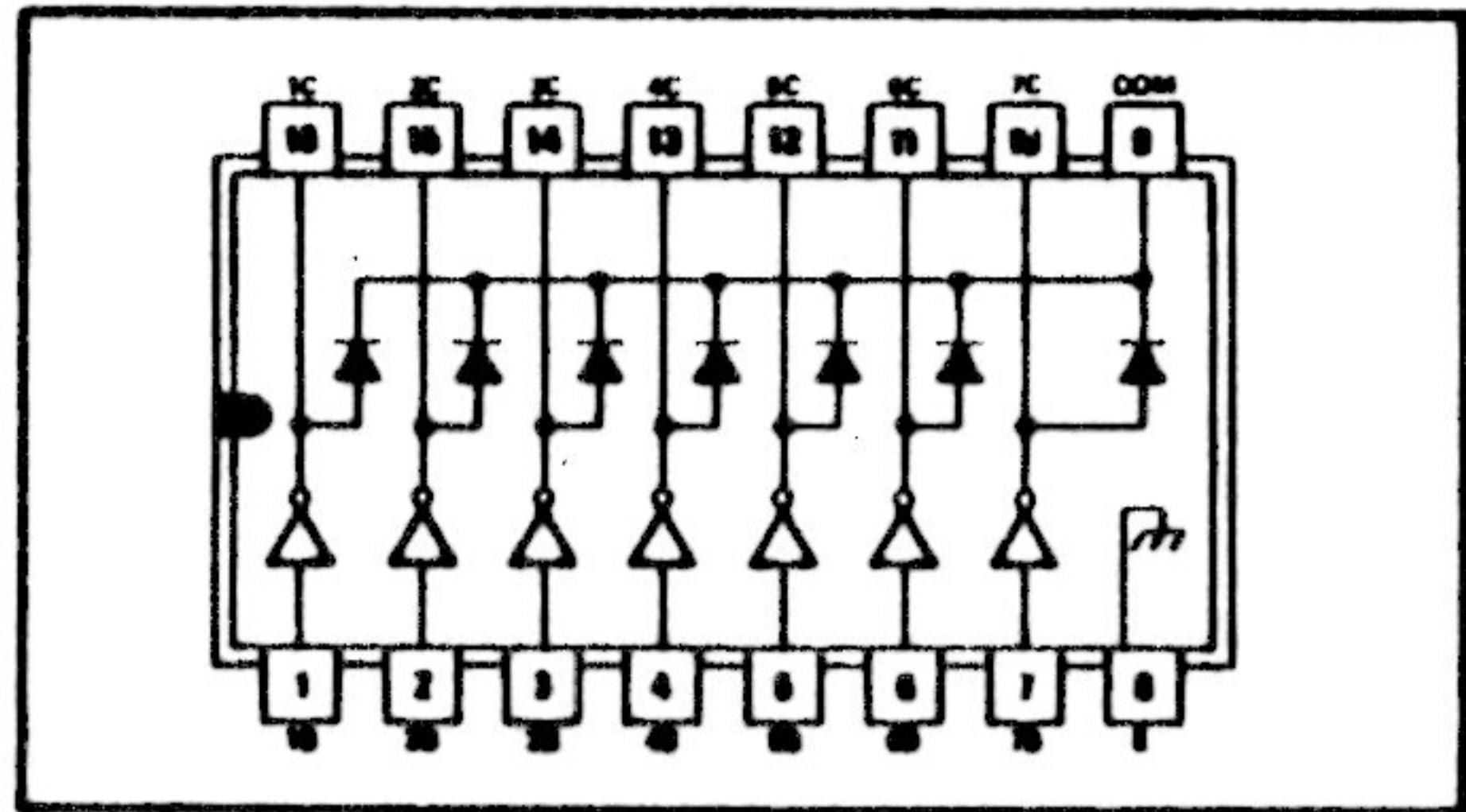
TYPES ULN2001A, ULN2002A, ULN2003A, ULN2004A DARLINGTON TRANSISTOR ARRAYS

BULLETIN NO. DL-S 7612467, DECEMBER 1976

HIGH-VOLTAGE HIGH-CURRENT DARLINGTON TRANSISTOR ARRAYS

- 500 mA Rated Collector Current
- High-Voltage Outputs . . . 50 V
- Output Clamp Diodes
- Inputs Compatible with Various Types of Logic
- Relay Driver Applications
- Designed to be Interchangeable with Sprague ULN2001A Series

JORN
DUAL-IN-LINE PACKAGE (TOP VIEW)

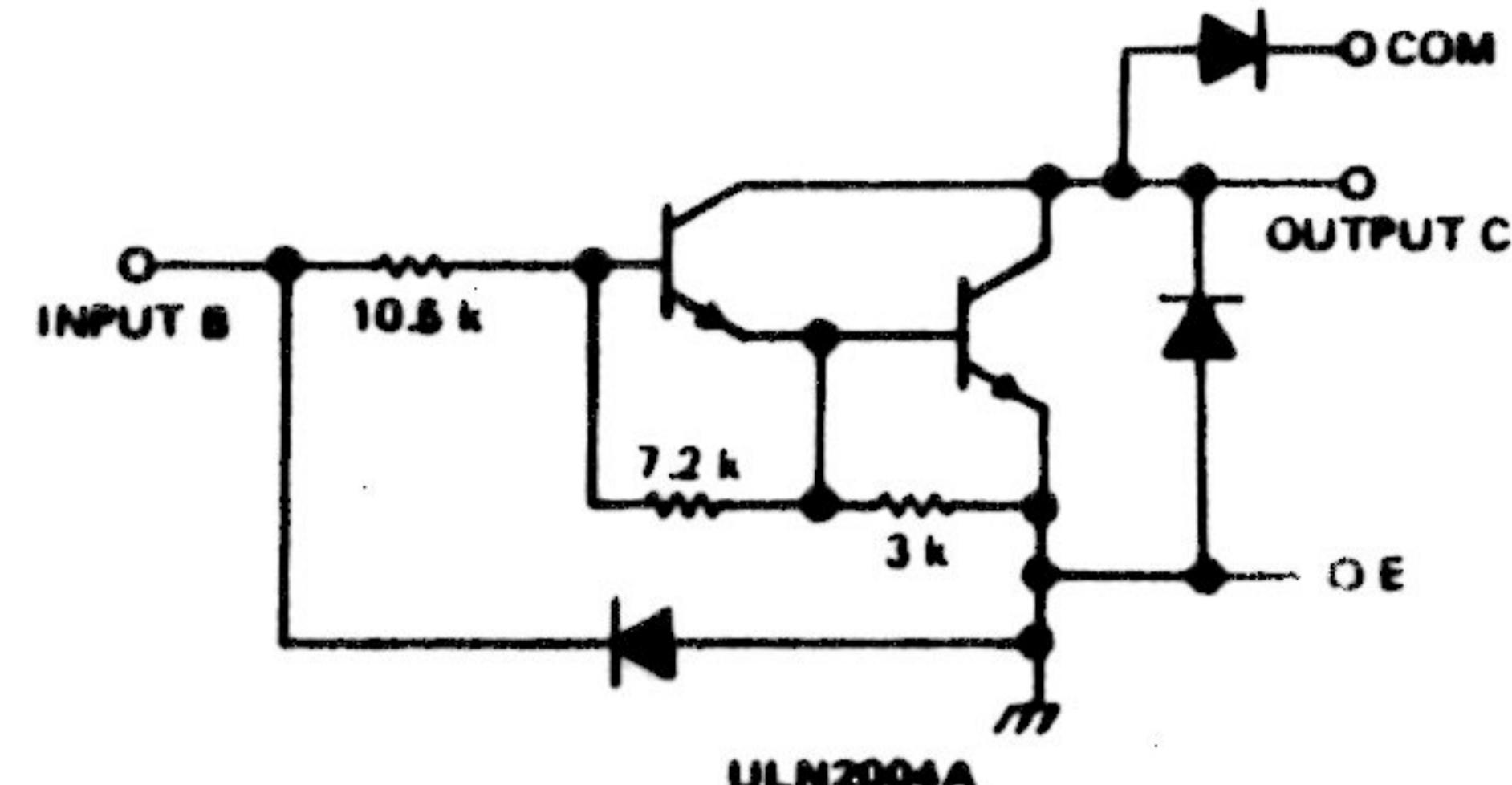
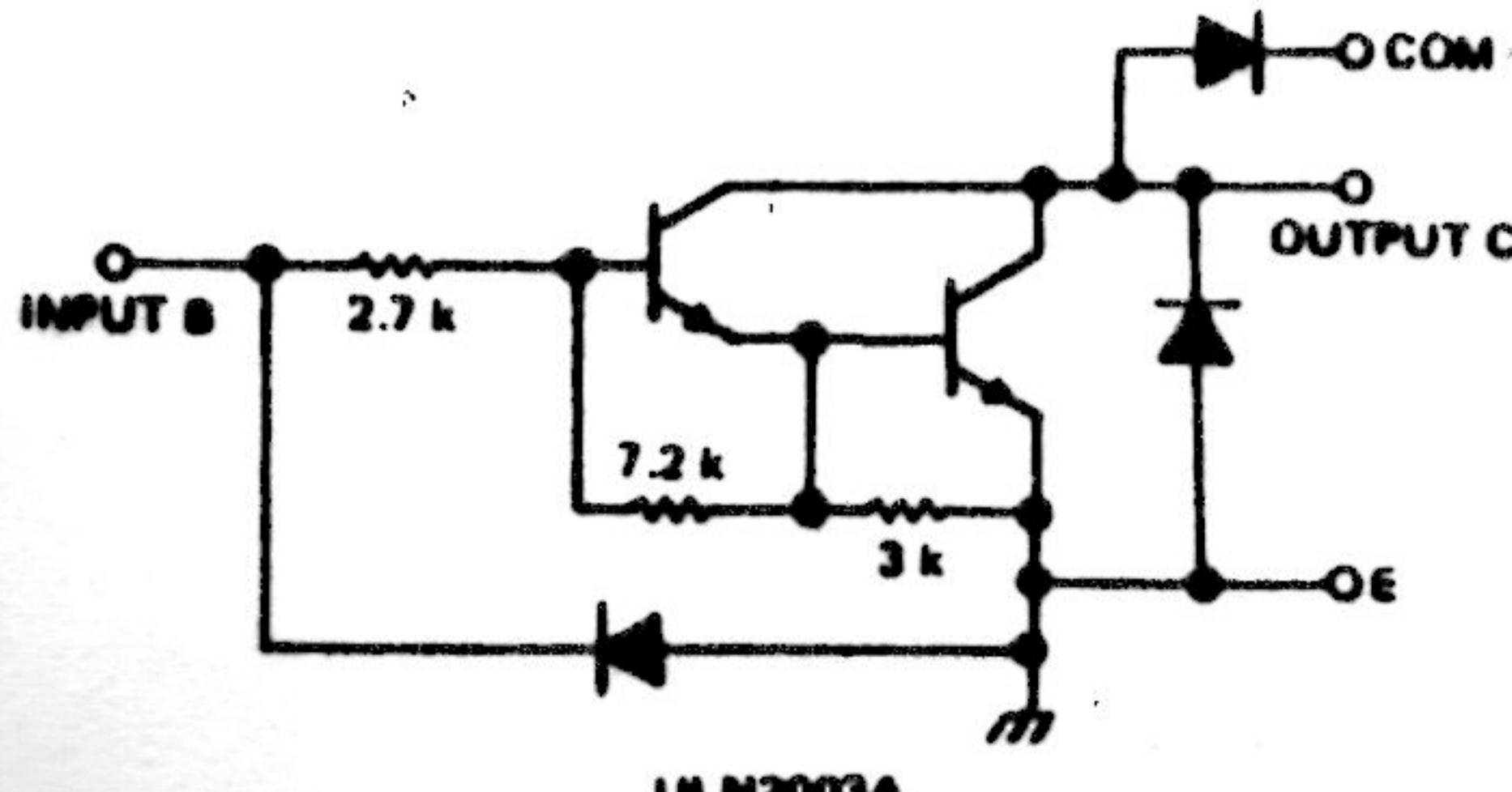
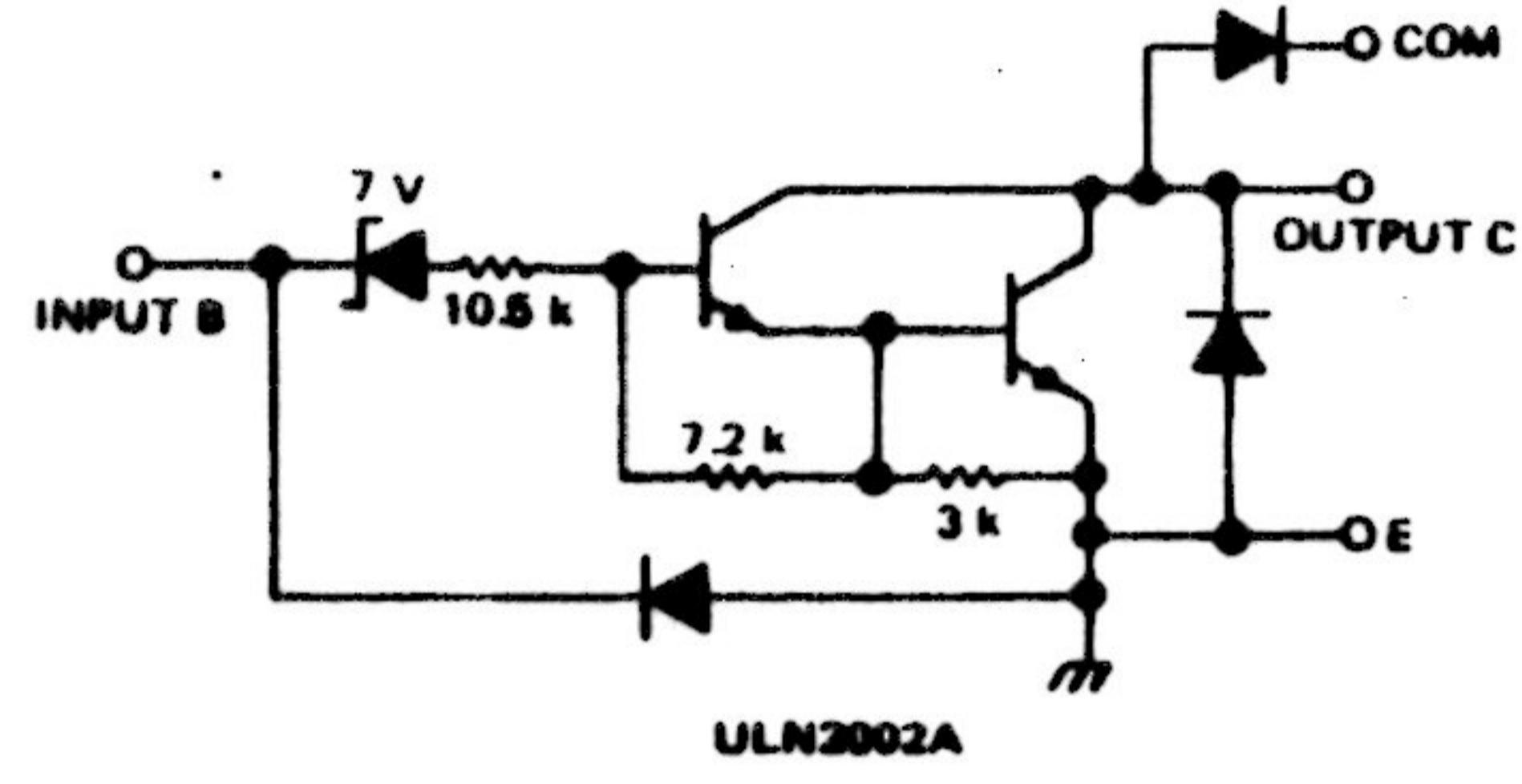
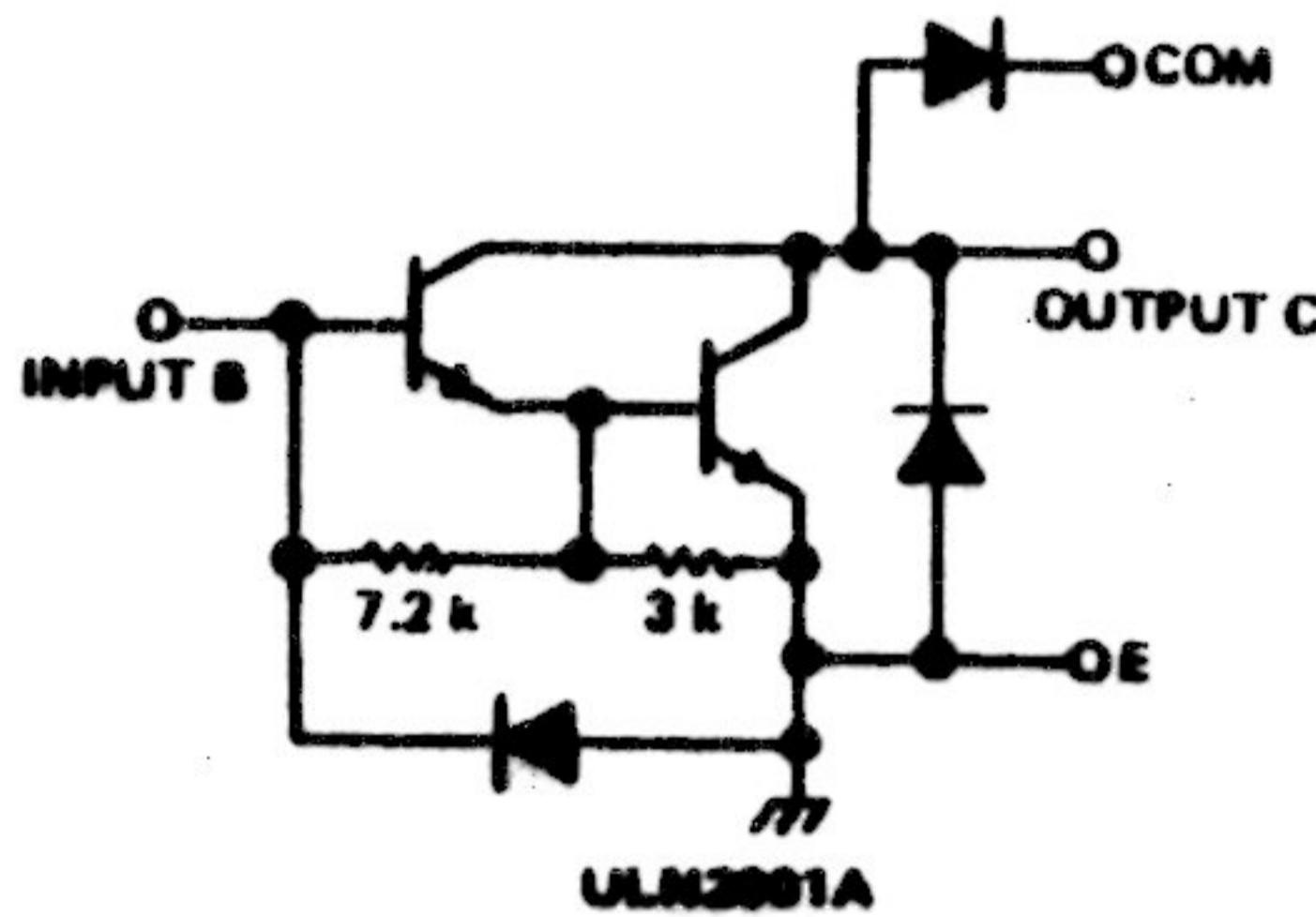


description

The ULN2001A, ULN2002A, ULN2003A, and ULN2004A are monolithic high-voltage, high-current darlington transistor arrays. Each comprises seven n-p-n darlington pairs. All units feature high-voltage outputs with common-cathode clamp diodes for switching inductive loads. The collector-current rating of each darlington pair is 500 milliamperes. Outputs and inputs may each be paralleled for higher current capability. Applications include relay drivers, hammer drivers, lamp drivers, display drivers (LED and gas discharge), line drivers, and logic buffers. For 100-volt (otherwise interchangeable) versions, see the SN75466 through SN75469.

The ULN2001A is a general-purpose array and may be used with DTL, TTL, P-MOS, CMOS, etc. The ULN2002A is specifically designed for use with 14- to 26-volt P-MOS devices and each input has a zener diode and resistor in series to limit the input current to a safe limit. The ULN2003A has a series base resistor to each darlington pair. This allows operation directly with TTL or 5-volt CMOS. The ULN2004A has an appropriate series input resistor to allow its operation directly from CMOS or P-MOS utilizing supply voltages of 6 to 15 volts. The required input current is below that of the ULN2003A while the required voltage is less than that required by the ULN2002A.

schematics (each darlington pair)



All resistor values shown are nominal and in ohms.

AY-3-8910

1 INTRODUCTION

It is apparent that any microprocessor is capable of producing acceptable sounds with only a transducer if the processor has no other tasks to perform while the sound is sustained. In real world microprocessor use, however, video games need refreshing, keyboards need scanning, etc. For example, in order to produce a single channel of ninth octave C (8372 Hz) the signal needs attention every sixty microseconds. Software required to produce this simple effect and still perform other activities would in the least be very complex if not impossible. In the extreme, random noise requires periodic attention even more frequently.

This need for software-produced sounds without the constant attention of the processor is now satisfied with the availability of the General Instrument AY-3-8910 and AY-3-8912 Programmable Sound Generators.

1.1 Description

The AY-3-8910/8912 Programmable Sound Generator (PSG) is a Large Scale Integrated Circuit which can produce a wide variety of complex sounds under software control. The AY-3-8910/8912 is manufactured in GI's N-Channel Ion Implant Process. Operation requires a single 5V power supply, a TTL compatible clock, and a microprocessor controller such as the GI 16-bit CP1600/1610 or one of GI's PIC 1650 series of 8-bit microcomputers.

The PSG is easily interfaced to any bus oriented system. Its flexibility makes it useful in applications such as music synthesis, sound effects generation, audible alarms, tone signalling and FSK modems. The analog sound outputs can each provide 12 bits of logarithmic digital to analog conversion, greatly increasing the dynamic range of the sounds produced.

In order to perform sound effects while allowing the processor to continue its other tasks, the PSG can continue to produce sound after the initial commands have been given by the control processor. The fact that realistic sound production often involves more than one effect is satisfied by the three independently controllable channels available in the PSG.

All of the circuit control signals are digital in nature and intended to be provided directly by a microprocessor/microcomputer. This means that one PSG can produce the full range of required sounds with no change in external circuitry. Since the frequency response of the PSG ranges from sub-audible at its lowest frequency to post-audible at its highest frequency, there are few sounds which are beyond reproduction with only the simplest electrical connections.

Since most applications of a microprocessor/PSG system would also require interfacing between the outside world and the microprocessor, this facility has been designed into the PSG. The AY-3-8910 has two general purpose 8-bit I/O ports and is supplied in a 40 lead package; the AY-3-8912 has one port and 28 leads.

2.2 Pin Assignments

The AY-3-8910 is supplied in a 40 lead dual in-line package with the pin assignments as shown in Fig. 4. The AY-3-8912 is supplied in a 28 lead dual in-line package with the pin assignments as shown in Fig. 5.

Fig. 4 AY-3-8910 PIN ASSIGNMENTS

Top View	
V _{ss} (GND)	•1
N.C.	2
ANALOG CHANNEL B	3
ANALOG CHANNEL A	4
N.C.	5
IOB7	6
IOB6	7
IOB5	8
IOB4	9
IOB3	10
IOB2	11
IOB1	12
IOB0	13
IOA7	14
IOA6	15
IOA5	16
IOA4	17
IOA3	18
IOA2	19
IOA1	20
	40
	39
	38
	37
	36
	35
	34
	33
	32
	31
	30
	29
	28
	27
	26
	25
	24
	23
	22
	21
V _{cc} (+5V)	
TEST 1	
ANALOG CHANNEL C	
DA0	
DA1	
DA2	
DA3	
DA4	
DAS	
DA6	
DA7	
BC1	
BC2	
BDIR	
TEST 2	
A8	
A9	
RESET	
CLOCK	
IOA0	

64/74 FAMILIES OF COMPATIBLE TTL CIRCUITS

PIN ASSIGNMENTS (TOP VIEWS)

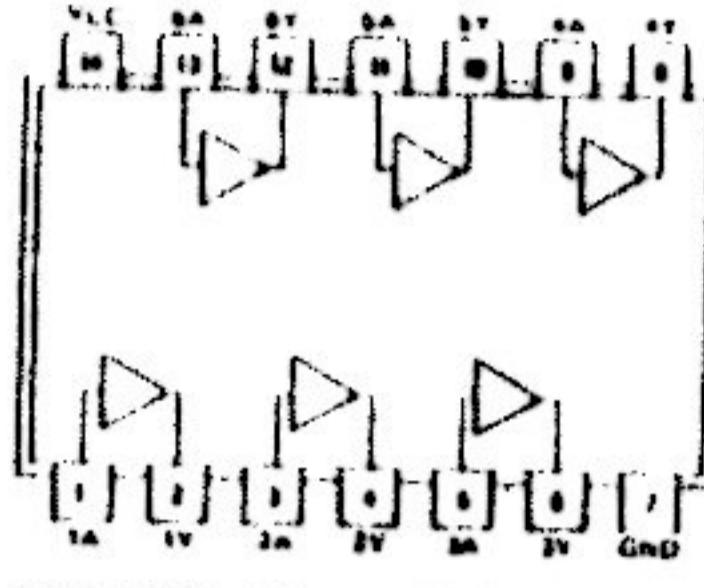
HEX BUFFERS/DRIVERS
WITH OPEN-COLLECTOR
HIGH-VOLTAGE OUTPUTS

07

positive logic:

$Y = A$

See page 6-24



SN6407 (J, W) SN7407 (J, N)

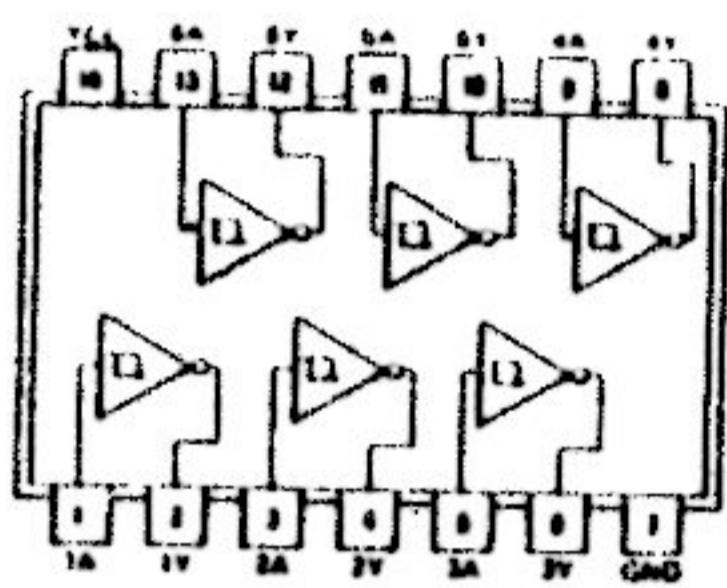
HEX SCHMITT-TRIGGER
INVERTERS

14

positive logic:

$Y = \bar{A}$

See page 6-14



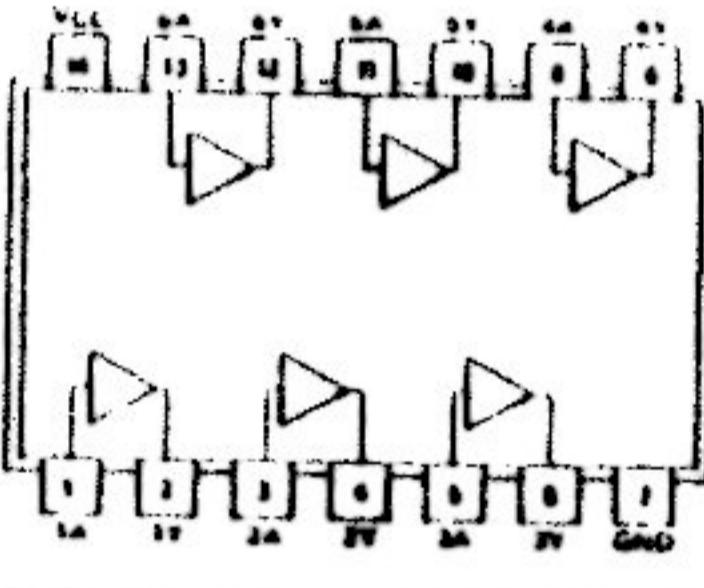
SN6414 (J, W) SN7414 (J, N)
SN64LS14 (J, W) SN74LS14 (J, N)

HEX BUFFERS/DRIVERS
WITH OPEN-COLLECTOR
HIGH-VOLTAGE OUTPUTS

17

positive logic:
 $Y = A$

See page 6-24



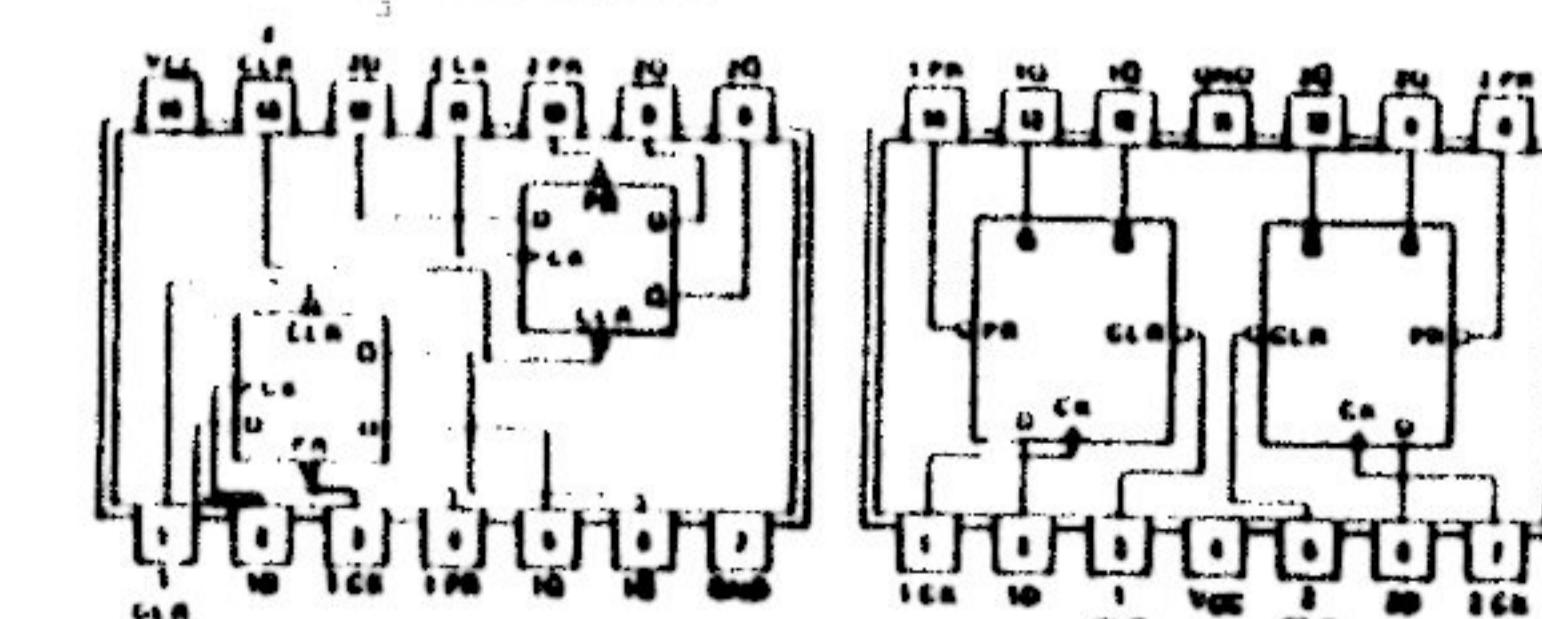
SN6417 (J, W) SN7417 (J, N)

DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR

74

FUNCTION TABLE

INPUTS			OUTPUTS	
PRESET	CLEAR	CLOCK	D	Q
L	H	X	X	H L
H	L	X	X	L H
L	L	X	X	H* H*
H	H	I	H	H L
H	H	I	L	L H
H	H	L	X	Q_0 \bar{Q}_0




SN6474 (J) SN7474 (J, N) SN64H74 (W)
SN64H74 (J) SN74H74 (J, N) SN64L74 (W)
SN64L74 (J) SN74L74 (J, N) SN64LS74 (T)
SN64LS74A (J, W) SN74LS74A (J, N)
SN64S74 (J, W) SN74S74 (J, N)

See pages 6-44, 6-50, 6-64, and 6-66

APENDICE C

ESQUEMAS

En páginas sucesivas se adjuntan todos los planos eléctricos y electrónicos de la máquina.



DIA	REV.	MOD. LUCKY Rover
PLANO 1 DE 9	REF. 810702	FECHA 26 NOV 81



Placa de control

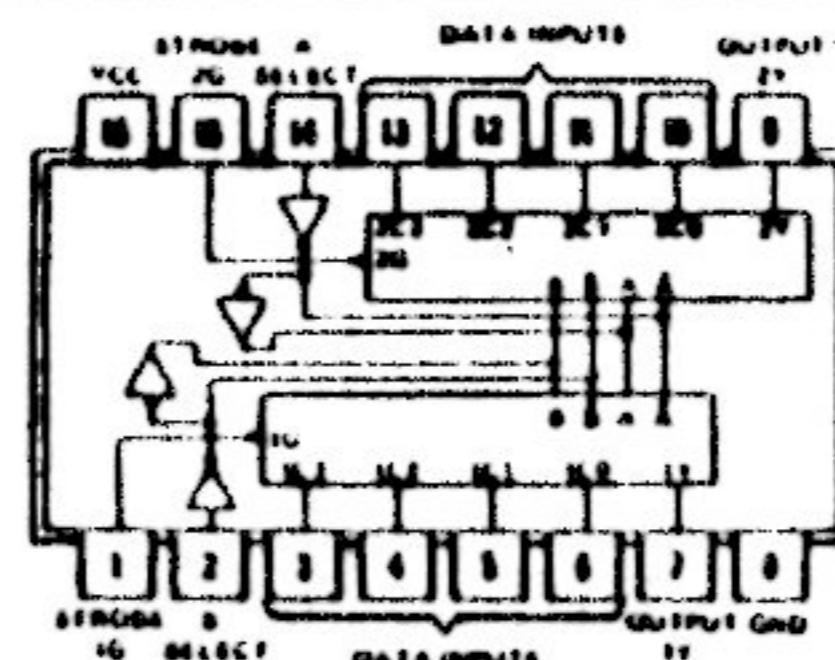
54/74 FAMILIES OF COMPATIBLE TTL CIRCUITS

PIN ASSIGNMENTS (TOP VIEWS)

DUAL 4-LINE TO 1-LINE DATA SELECTORS/MULTIPLEXERS

153

See page 7-100

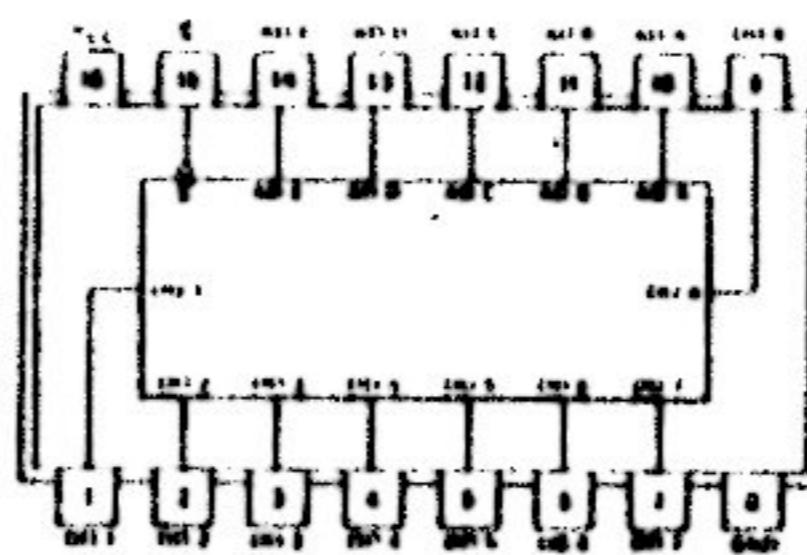


SN54153 (J, W) SN74153 (J, N)
SN54L153 (J) SN74L153 (J, N)
SN54LS153 (J, W) SN74LS153 (J, N)
SN54S153 (J, W) SN74S153 (J, N)

256-BIT PROGRAMMABLE READ ONLY MEMORIES

188 32 8-BIT WORDS
OPEN-COLLECTOR OUTPUTS

See Bipolar Microcomputer Components Data Book, LCC4270

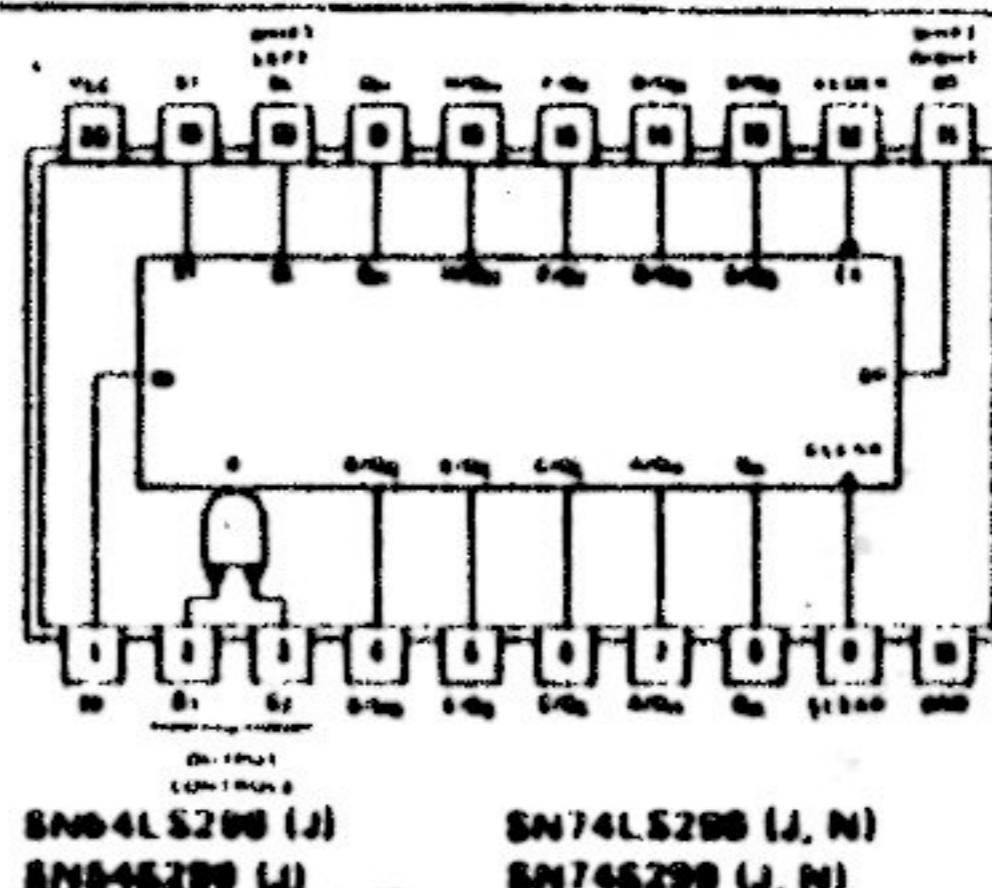


SN54188A (J, W) SN74188A (J, N)
SN54S188 (J, W) SN74S188 (J, N)

8-BIT BIDIRECTIONAL UNIVERSAL SHIFT/STORAGE REGISTERS

298 3-STATE OUTPUTS

See page 7-437

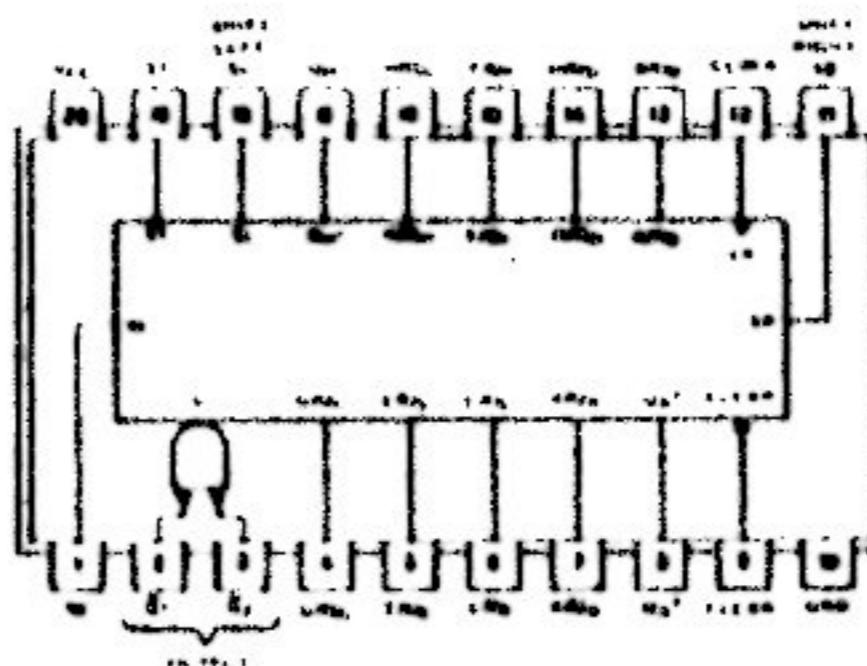


SN54LS298 (J) SN74LS298 (J, N)
SN54S298 (J) SN74S298 (J, N)

8-BIT BIDIRECTIONAL UNIVERSAL SHIFT/STORAGE REGISTERS

323 3-STATE OUTPUTS

See page 7-443

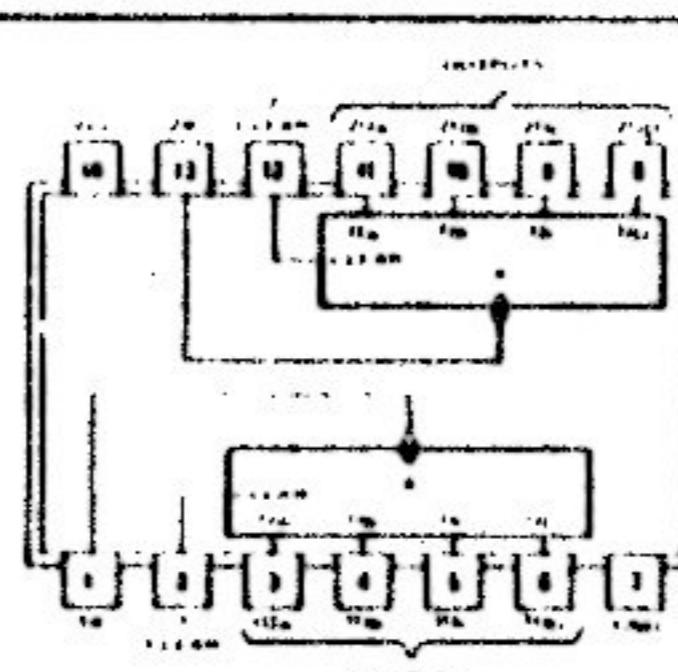


SN54LS323 (J) SN74LS323 (J, N)

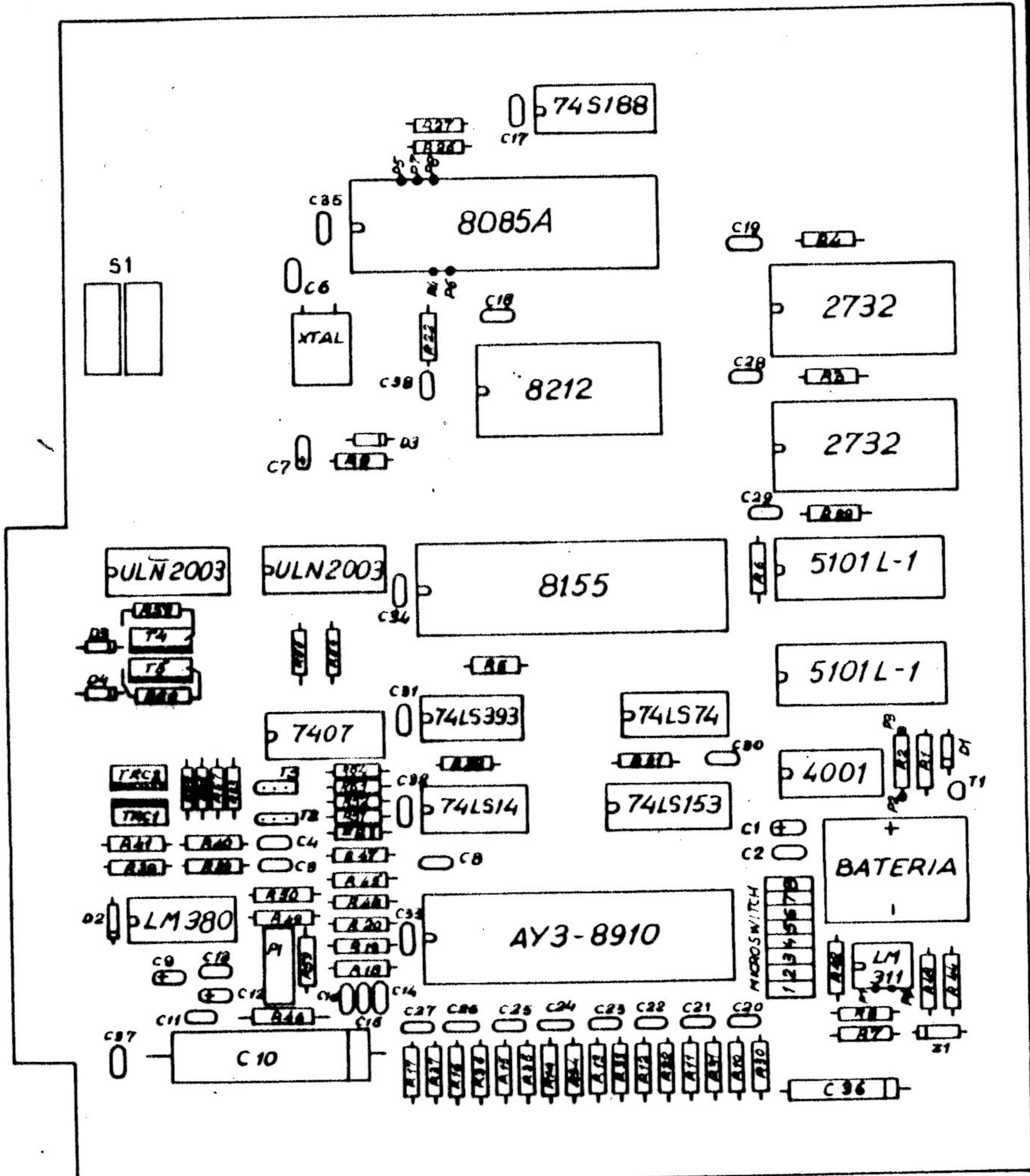
DUAL 4-BIT BINARY COUNTERS

393

See page 7-488



SN54393 (J, W) SN74393 (J, N)
SN54LS393 (J, W) SN74LS393 (J, N)



DIB.

D

REV.

10

MOD. Lucky Player

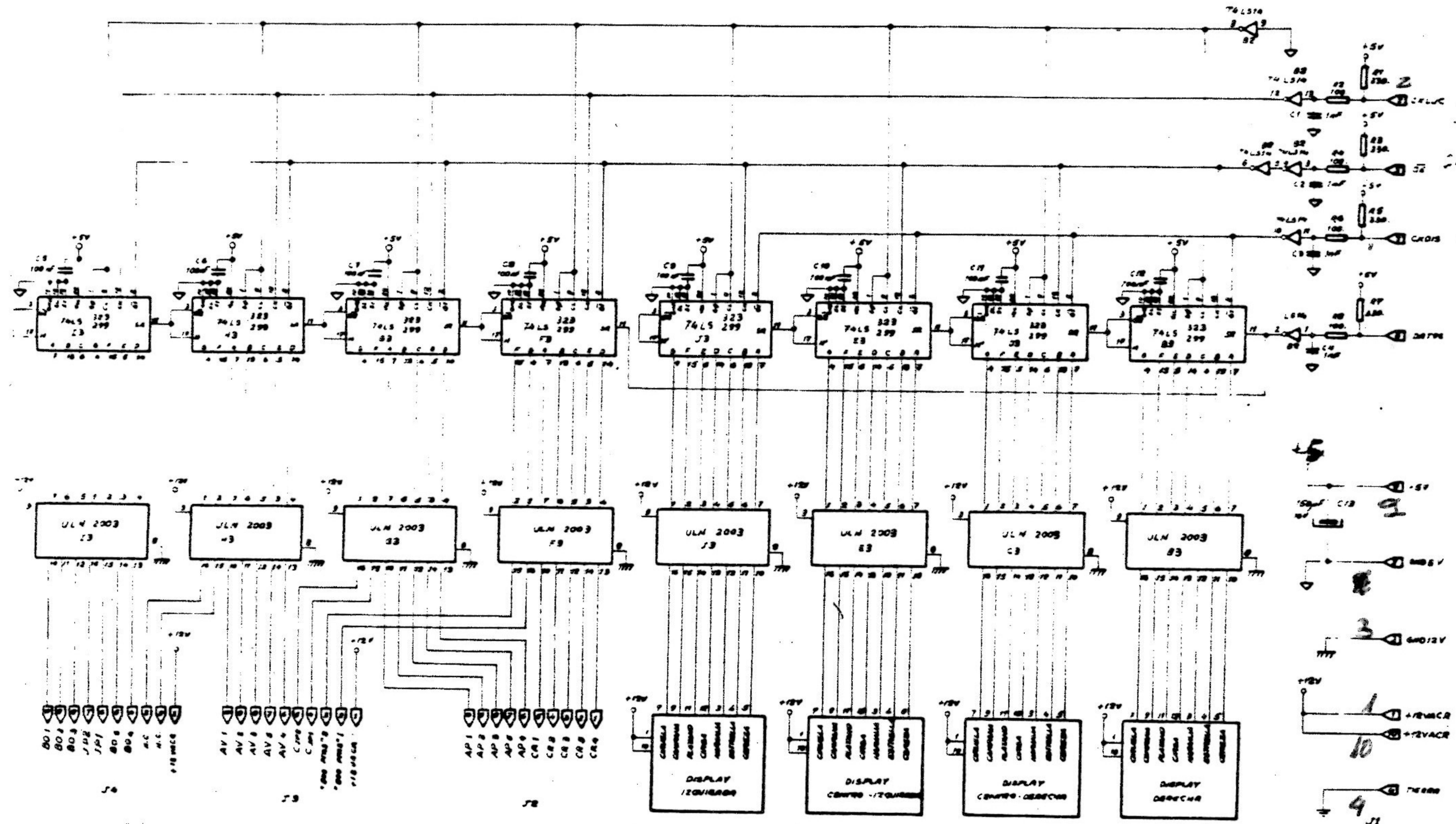


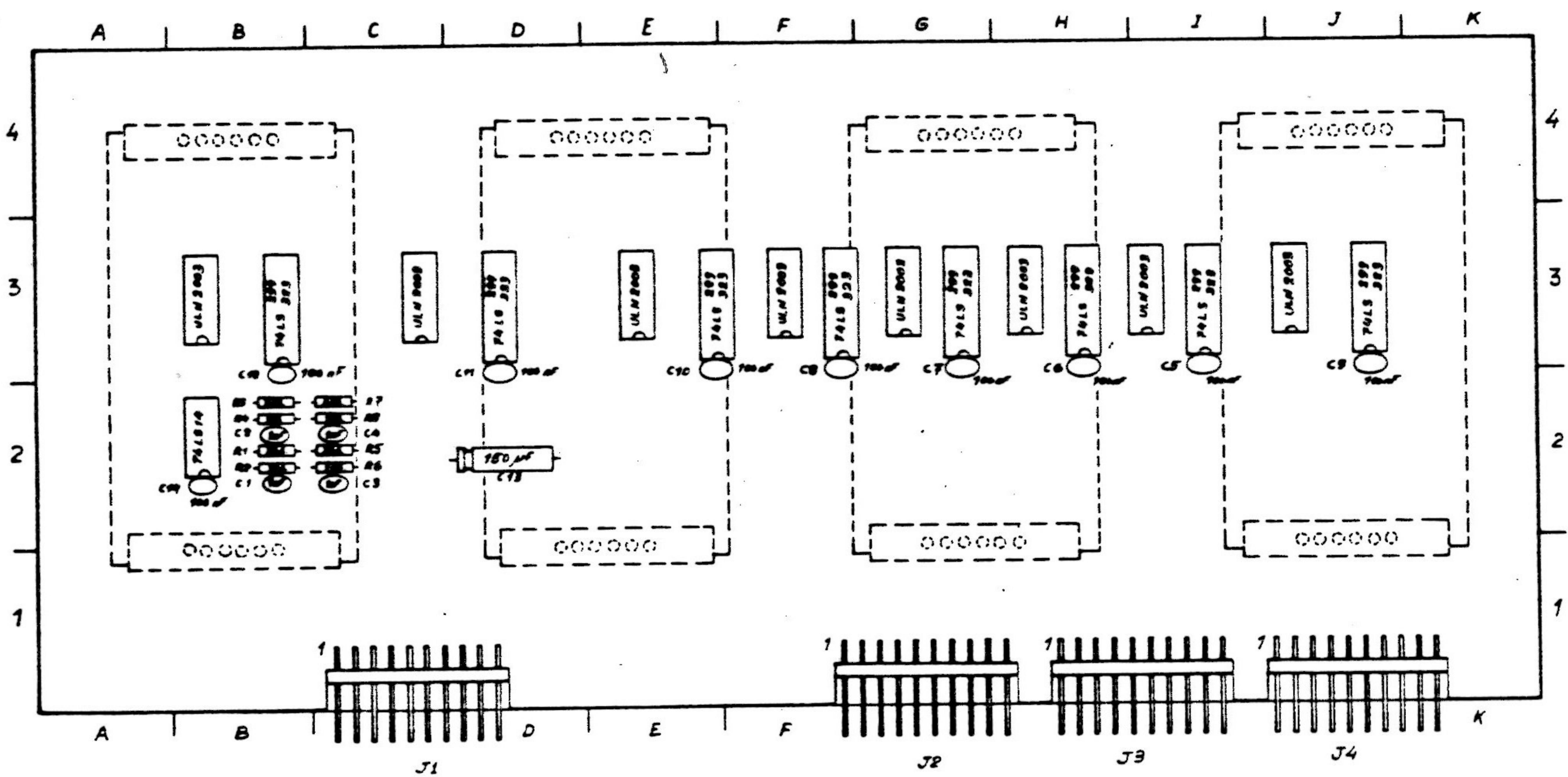
Situación componentes
placa de control

PLANO 2 DE 9

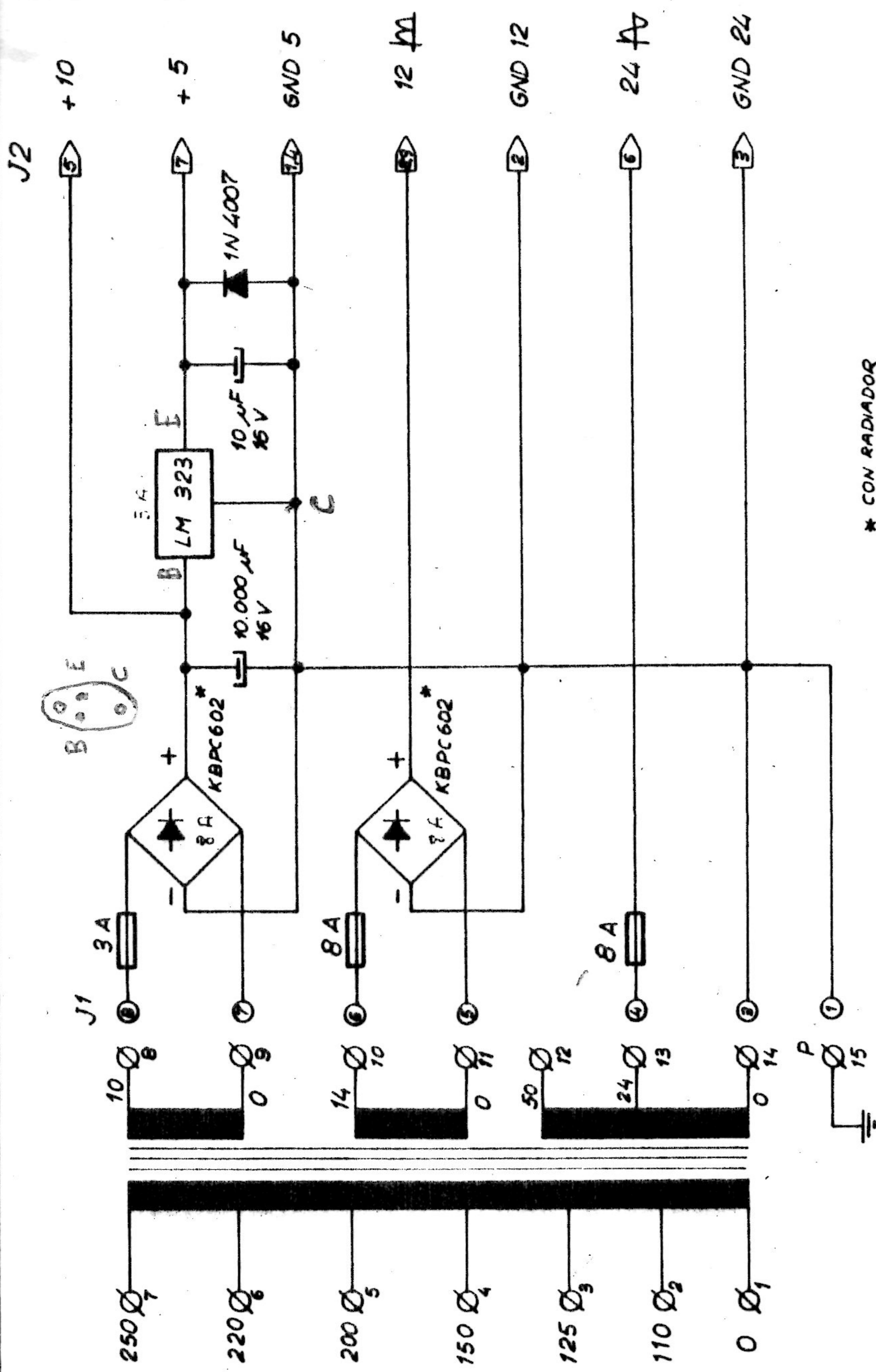
REF. 810702

FECHA 26 NOV 81





DIB.	REV.	MOD. Lucky Player
	Siluación componentes placa de display	PLANO 4 DE 9 REF. 810801 FECHA 26 NOV 81



* CON RADIADOR

DIB.

4

REV.

4

MOD. Lucky Player

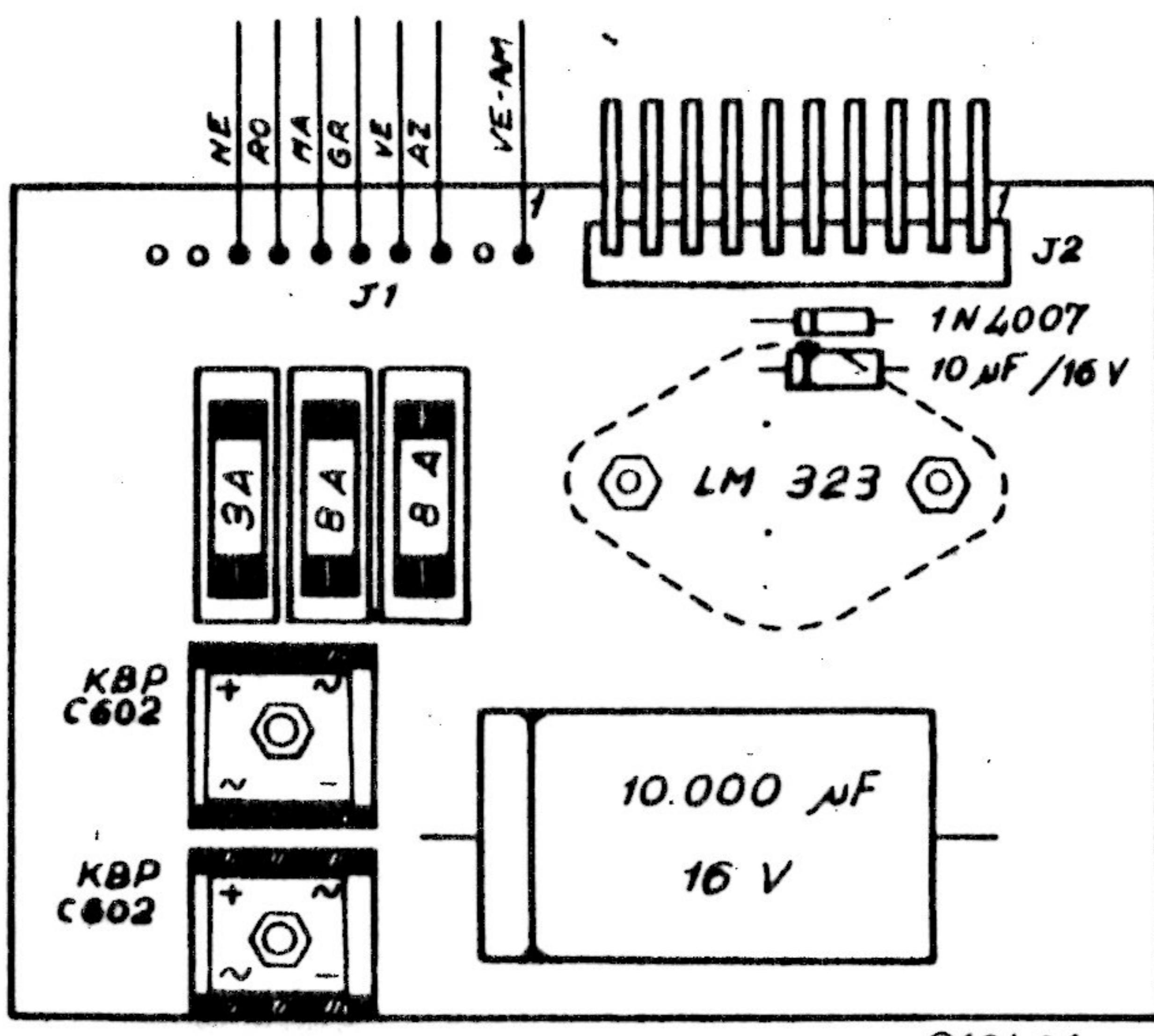


Fuente alimentación

PLANO 5 DE 9

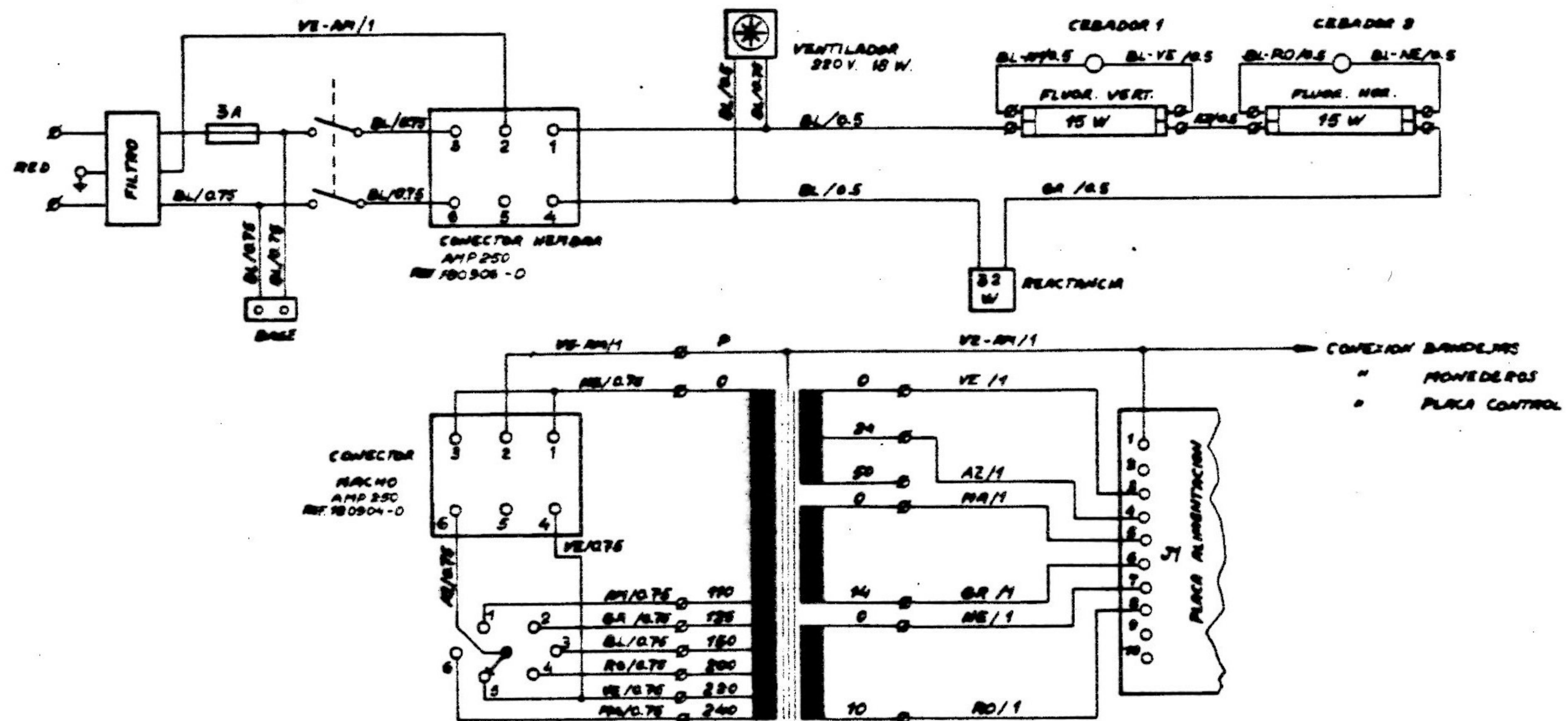
REF. 810401

FECHA 26 NOV 81

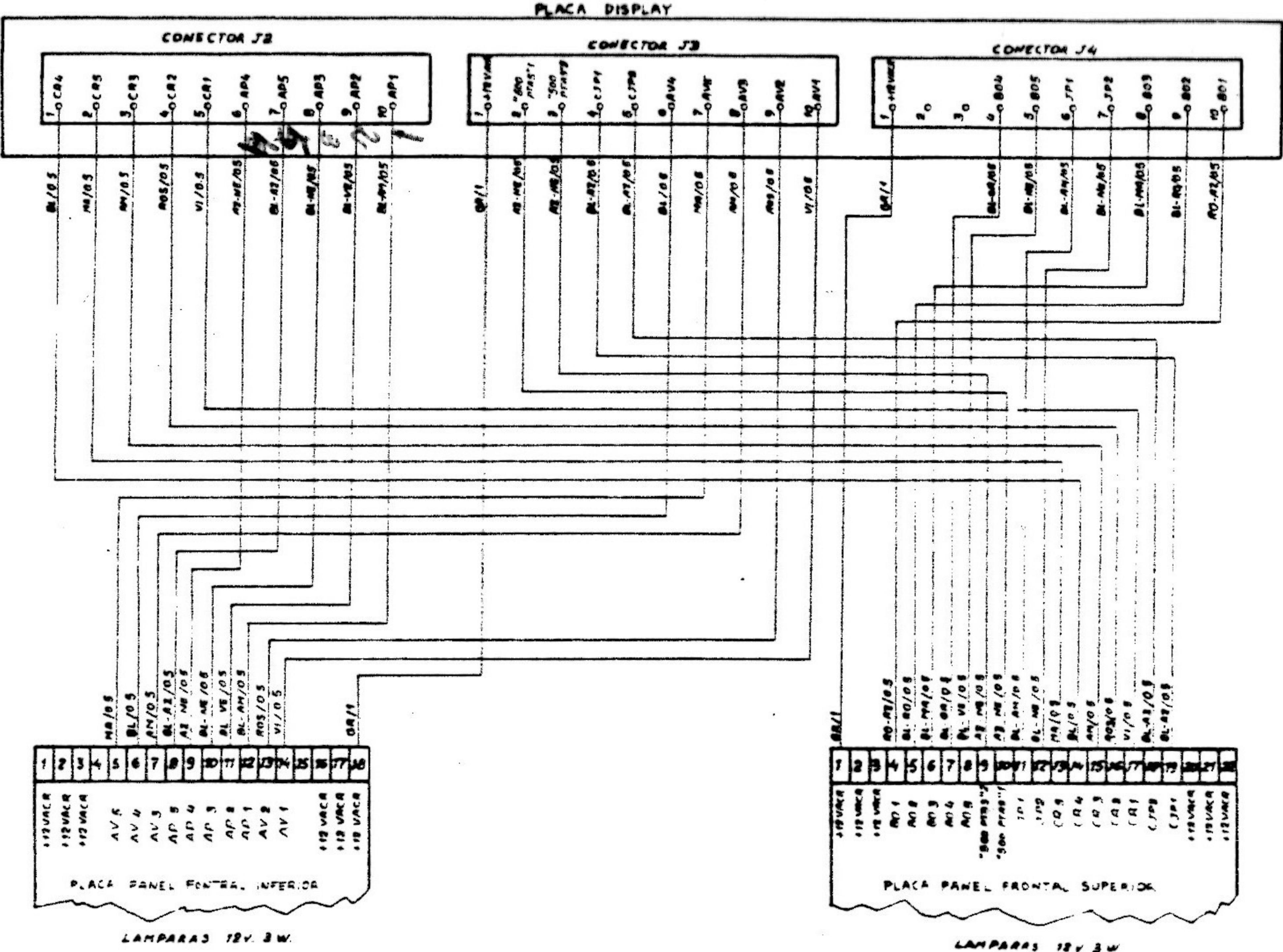


810401

DIB.	REV.	MOD. Lucky Player
	Situación componentes placa fuente alimentación	PLANO 6 DE 9 REF. 810401 FECHA 26-NOV-81

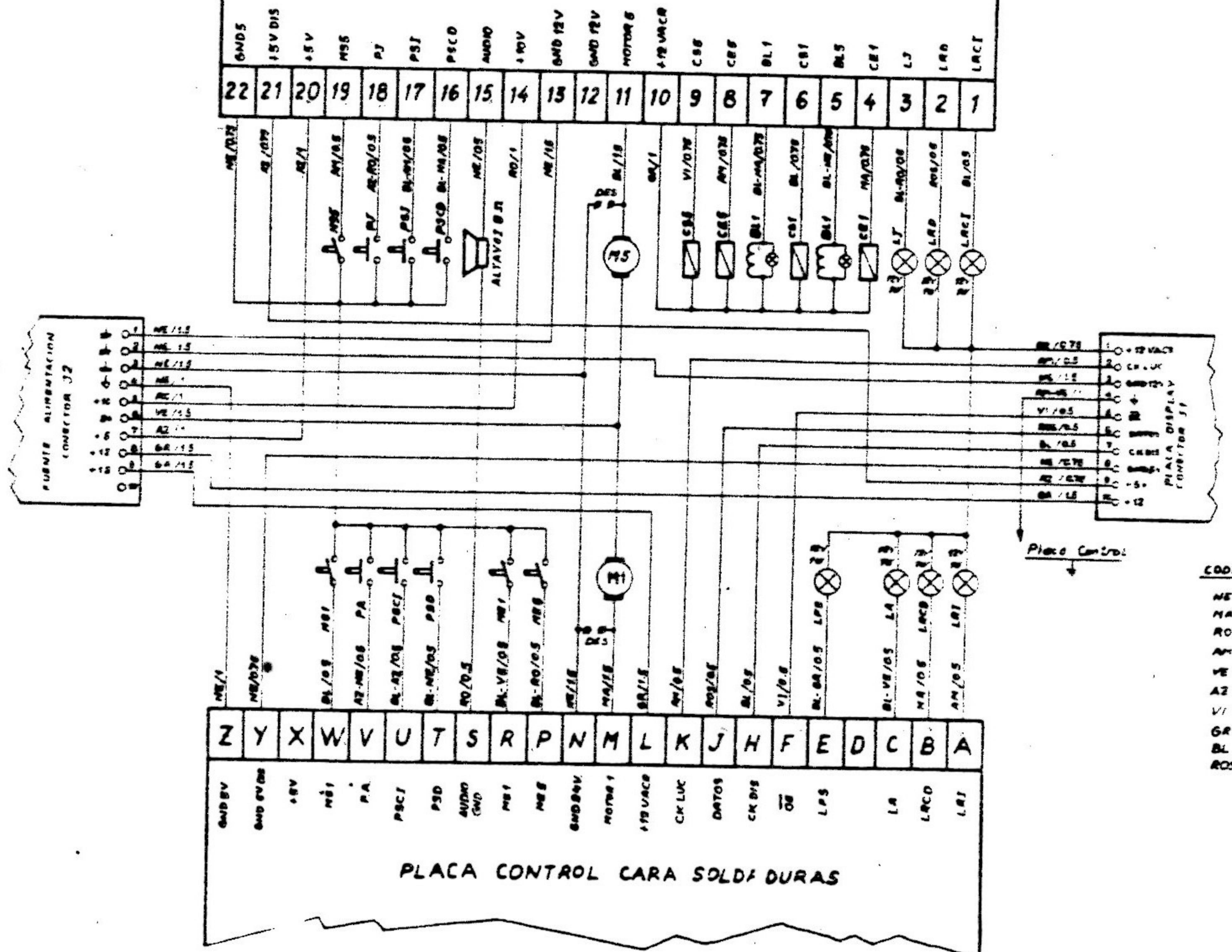


DIB.	REV.	MOD. LUCKY Player
	Cableado Red/Trafo	PLANO 7 DE 9
		REF.
		FECHA 26 NOV 81



DIB.	REV.	MOD. LUCKY Player
	Cableado Panel Frontal	PLANO E DES.
		REF.
		FECHA 26 NOV 81

PLACA CONTROL CARA COMPONENTES



CODIGO DE COLORES

NE = NEGRO
MA = MARRON
RO = ROJO
AM = AMARILLO
VE = VERDE
AZ = AZUL
VI = VIOLETA
GR = GRIS
BL = BLANCO
ROS = ROSA

DIB.	REV.	MOD. LUCKY PLAYER
		
Cableado Placa Control		PLANO 9 DE 9
		REF.
		FECHA 26 NOV 81